

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

#12
Jc690 U.S. PTO
09/522609
03/10/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年 3月11日

出願番号

Application Number:

平成11年特許願第064317号

出願人

Applicant(s):

日本電気株式会社

1999年12月10日

特許庁長官
Commissioner,
Patent Office

近藤隆彦

出証番号 出証特平11-3086600

【書類名】 特許願

【整理番号】 74610262

【提出日】 平成11年 3月11日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/136

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号
 日本電気株式会社内

 【氏名】 黒羽 昇一

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100097113

 【弁理士】

 【氏名又は名称】 堀 城之

 【電話番号】 03(5512)7377

【手数料の表示】

 【予納台帳番号】 044587

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9708414

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス型液晶表示装置及びその製造方法

【特許請求の範囲】

【請求項 1】 共通電極及び走査線と、絶縁膜を介して前記共通電極に平行に延在する画素電極及び映像信号線と、マトリクス状に配置された複数個の画素毎に設けられているアクティブ素子と、前記アクティブ素子上に設けられた第 1 の配向膜とを有する第 1 の透明基板と、

前記第 1 の配向膜に対向して配置された第 2 の配向膜と、前記画素毎に少なくとも前記画素電極の一部を露出する開口領域を有した遮光膜とを有する第 2 の透明基板と、

前記第 1 及び前記第 2 の配向膜間に収容する液晶組成物層のギャップを形成するスペーサと

を備えるアクティブマトリクス型液晶表示装置において、

前記第 1 の透明基板上の前記信号線、走査線又は薄膜トランジスタの近傍に、前記スペーサの移動を阻止するための第 1 の突起が設けられていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】 共通電極及び走査線と、絶縁膜を介して前記共通電極に平行に延在する画素電極及び映像信号線と、マトリクス状に配置された複数個の画素毎に設けられているアクティブ素子と、前記アクティブ素子上に設けられた第 1 の配向膜とを有する第 1 の透明基板と、

前記第 1 の配向膜に対向して配置された第 2 の配向膜と、前記画素毎に少なくとも前記画素電極の一部を露出する開口領域を有した遮光膜とを有する第 2 の透明基板と、

前記第 1 及び前記第 2 の配向膜間に収容する液晶組成物層のギャップを形成するスペーサと

を備えるアクティブマトリクス型液晶表示装置において、

前記第 2 の透明基板上の前記信号線、走査線又は薄膜トランジスタ近傍に、前記スペーサの移動を阻止するための第 2 の突起が設けられていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 3】 前記第 1 又は第 2 の突起は、前記開口領域以外の遮光領域に設けられているとともに、前記信号線、走査線又は薄膜トランジスタ部のギャップより狭くなる高さとなされ、さらにその幅は前記スペーサの直径より小さくされていることを特徴とする請求項 1 又は 2 に記載のアクティブマトリクス型液晶表示装置。

【請求項 4】 前記第 1 又は第 2 の突起によるギャップと、前記信号線、走査線又は薄膜トランジスタ上のギャップとの差が、前記スペーサの径の 1 % 以上とされていることを特徴とする請求項 1 ～ 3 の何れかに記載のアクティブマトリクス型液晶表示装置。

【請求項 5】 前記第 2 の透明基板には、前記第 2 の突起が設けられていることを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。

【請求項 6】 前記第 1 及び第 2 の突起によるギャップと、前記信号線、走査線又は薄膜トランジスタ上のギャップとの差が、前記スペーサの径の 1 % 以上とされていることを特徴とする請求項 5 に記載のアクティブマトリクス型液晶表示装置。

【請求項 7】 前記第 1 及び第 2 の突起は、対向配置されていることを特徴とする請求項 6 に記載のアクティブマトリクス型液晶表示装置。

【請求項 8】 共通電極及び走査線と、絶縁膜を介して前記共通電極に平行に延在する画素電極及び映像信号線と、マトリクス状に配置された複数個の画素毎に設けられているアクティブ素子と、前記アクティブ素子上に設けられた第 1 の配向膜とを有する第 1 の透明基板と、

前記第 1 の配向膜に対向して配置された第 2 の配向膜と、前記画素毎に少なくとも前記画素電極の一部を露出する開口領域を有した遮光膜とを有する第 2 の透明基板と、

前記第 1 及び前記第 2 の配向膜間に収容する液晶組成物層のギャップを形成するスペーサと

を備えるアクティブマトリクス型液晶表示装置において、

前記第 1 の透明基板上の信号線、走査線又は薄膜トランジスタ近傍の共通電極の膜厚は、前記共通電極上のギャップが前記信号線、走査線又は薄膜トランジスタ

タ上のギャップより狭くなるように厚くされていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 9】 共通電極及び走査線と、絶縁膜を介して前記共通電極に平行に延在する画素電極及び映像信号線と、マトリクス状に配置された複数の画素毎に設けられているアクティブ素子と、前記アクティブ素子上に設けられた第 1 の配向膜とを有する第 1 の透明基板と、

前記第 1 の配向膜に対向して配置された第 2 の配向膜と、前記画素毎に少なくとも前記画素電極の一部を露出する開口領域を有した遮光膜とを有する第 2 の透明基板と、

前記第 1 及び前記第 2 の配向膜間に収容する液晶組成物層を収容するためのギャップを形成するスペーサと

を備えるアクティブマトリクス型液晶表示装置において、

前記第 1 の透明基板上の層間絶縁膜には、前記スペーサの移動を阻止する段差が設けられていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 10】 前記共通電極上のギャップと、前記信号線、走査線又は薄膜トランジスタ上のギャップとの差が、前記スペーサの径の 1%以上とされていることを特徴とする請求項 8 又は 9 に記載のアクティブマトリクス型液晶表示装置。

【請求項 11】 共通電極、走査線と、絶縁膜を介して前記共通電極と平行に延在する画素電極及び映像信号線とを形成する第 1 の工程と、

マトリクス状に配置された複数の画素毎にアクティブ素子を形成する第 2 の工程と、

前記アクティブ素子上に第 1 の配向膜を設けることにより第 1 の透明基板を形成する第 3 の工程と、

第 2 の配向膜を前記第 1 の配向膜に対向して設置させる第 4 の工程と、

前記画素毎に少なくとも前記画素電極の一部を露出する開口領域が設けられた遮光膜を形成して第 2 の透明基板を形成する第 5 の工程と、

前記第 1 及び前記第 2 の配向膜間にスペーサを配置させて液晶組成物層を収容するためのギャップを形成する第 6 の工程と、

前記第 1 の透明基板の信号線、走査線又は薄膜トランジスタの近傍に、前記スペーサの移動を阻止するための第 1 の突起を形成する第 7 の工程と

を備えることを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【請求項 12】 共通電極、走査線と、絶縁膜を介して前記共通電極と平行に延在する画素電極及び映像信号線とを形成する第 1 の工程と、

マトリクス状に配置された複数の画素毎にアクティブ素子を形成する第 2 の工程と、

前記アクティブ素子上に第 1 の配向膜を設けることにより第 1 の透明基板を形成する第 3 の工程と、

第 2 の配向膜を前記第 1 の配向膜に対向して設置させる第 4 の工程と、

前記画素毎に少なくとも前記画素電極の一部を露出する開口領域が設けられた遮光膜を形成して第 2 の透明基板を形成する第 5 の工程と、

前記第 1 及び前記第 2 の配向膜間にスペーサを配置させて液晶組成物層を収容するためのギャップを形成する第 6 の工程と、

前記第 2 の透明基板上の前記信号線、走査線又は薄膜トランジスタ近傍に、前記スペーサの移動を阻止するための第 2 の突起を形成する第 8 の工程と

を備えることを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【請求項 13】 前記第 7 又は第 8 の工程には、

前記第 1 又は第 2 の突起を、前記開口領域以外の遮光領域に形成する工程と、

前記第 1 又は第 2 の突起を、前記信号線、走査線又は薄膜トランジスタ部のギャップより狭くなる高さに形成する第 9 の工程と、

前記第 1 又は第 2 の突起の幅を、前記スペーサの直径より小さくして形成する工程と

が含まれることを特徴とする請求項 11 又は 12 に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項 14】 前記第 9 の工程には、前記第 1 又は第 2 の突起によるギャップと、前記信号線、走査線又は薄膜トランジスタ上のギャップとの差を、前記スペーサの径の 1% 以上とする工程が含まれることを特徴とする請求項 13 に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項 1 5】 前記第 7 の工程には、前記第 2 の透明基板に、前記第 2 の突起を形成する第 1 0 の工程が含まれることを特徴とする請求項 1 1 に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項 1 6】 前記第 1 0 の工程には、前記第 1 及び第 2 の突起によるギャップと、前記信号線、走査線又は薄膜トランジスタ上のギャップとの差を、前記スペーサの径の 1 % 以上とする工程が含まれることを特徴とする請求項 1 5 に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項 1 7】 前記第 1 0 の工程には、前記第 1 及び第 2 の突起を対向させて形成する工程が含まれることを特徴とする請求項 1 5 に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項 1 8】 共通電極、走査線と、絶縁膜を介して前記共通電極と平行に延在する画素電極及び映像信号線とを形成する第 1 の工程と、

マトリクス状に配置された複数個の画素毎にアクティブ素子を形成する第 2 の工程と、

前記アクティブ素子上に第 1 の配向膜を設けることにより第 1 の透明基板を形成する第 3 の工程と、

第 2 の配向膜を前記第 1 の配向膜に対向して設置させる第 4 の工程と、

前記画素毎に少なくとも前記画素電極の一部を露出する開口領域が設けられた遮光膜を形成して第 2 の透明基板を形成する第 5 の工程と、

前記第 1 及び前記第 2 の配向膜間にスペーサを配置させて液晶組成物層を収容するためのギャップを形成する第 6 の工程と、

前記第 1 の透明基板上の信号線、走査線又は薄膜トランジスタ近傍の共通電極の膜厚を、前記共通電極上のギャップが前記信号線、走査線又は薄膜トランジスタ上のギャップより狭くなるように厚く形成する第 1 1 の工程と

を備えることを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【請求項 1 9】 共通電極、走査線と、絶縁膜を介して前記共通電極と平行に延在する画素電極及び映像信号線とを形成する第 1 の工程と、

マトリクス状に配置された複数個の画素毎にアクティブ素子を形成する第 2 の工程と、

前記アクティブ素子上に第1の配向膜を設けることにより第1の透明基板を形成する第3の工程と、

第2の配向膜を前記第1の配向膜に対向して設置させる第4の工程と、

前記画素毎に少なくとも前記画素電極の一部を露出する開口領域が設けられた遮光膜を形成して第2の透明基板を形成する第5の工程と、

前記第1及び前記第2の配向膜間にスペーサを配置させて液晶組成物層を収容するためのギャップを形成する第6の工程と、

前記第1の透明基板上の層間絶縁膜に前記スペーサの移動を阻止する段差を形成する第12の工程と

を備えることを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【請求項20】 前記第11又は第12の工程には、前記共通電極上のギャップと、前記信号線、走査線又は薄膜トランジスタ上のギャップとの差を、前記スペーサの径の1%以上とする工程が含まれることを特徴とする請求項18又は19に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項21】 前記第7の工程には、前記第1の突起をメタル材料や絶縁材料を用い、前記第1～第6の工程と同時に形成する工程が含まれることを特徴とする請求項11に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項22】 前記第7の工程には、前記第1～第6の工程の終了後、前記第1の突起を樹脂によって形成する工程が含まれることを特徴とする請求項11に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項23】 前記第8の工程には、前記第2の突起を、色層又はオーバーコート膜によって形成する工程が含まれることを特徴とする請求項12に記載のアクティブマトリクス型液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリクス型液晶表示装置及びその製造方法に関する。

【0002】

【従来の技術】

液晶表示装置の一例として、TN (Twisted Nematic) モードがある。これは、基板面に対し垂直な方向に電界を作用させて、液晶分子のダイレクタ（分子軸）の配向を変化させるようにしたものである。これにより、光の透過率が制御され、パネルに画像が表示される。このタイプ（以下、縦電界駆動型という）の液晶表示装置は、一般的である。

【0003】

しかしながら、この縦電界駆動型の液晶表示装置では、電界印加時に、ダイレクタが基板表面に対して垂直に配向されている。そのため、視角方向により屈折率が変化するために、視野角依存性が強く、広視野角が求められる用途には適していない。

【0004】

これに対し、液晶分子のダイレクタを基板面に平行に配向したものもある。これは、基板面に対し平行な方向に電界を作用させ、ダイレクタを基板面に平行な面内で回転させるようにしたものである。これにより、光の透過率が制御され、画像表示が行われる。このタイプ（以下、横電界駆動型という）の液晶表示装置は、近年、開発中である。

【0005】

この横電界駆動型の液晶表示装置では、視角方向による屈折率変化が著しく小さいため、広い視野で高画質の表示性能が得られる。

【0006】

このような横電界駆動型の液晶表示装置の一例を、図15～図17に示す。図15は、横電界駆動型の液晶表示装置を示す平面図、図16は、図15の横電界駆動型の液晶表示装置を示すJ-J'線断面図、図17は、図15の横電界駆動型の液晶表示装置を示すK-K'線断面図である。

【0007】

これらの図に示す表示画素は、信号線1、走査線2、薄膜トランジスタ3、共通電極4及び画素電極5によって構成されている。走査線2は、図示しない外部駆動回路に接続される。薄膜トランジスタ3は、スイッチング素子である。

【0008】

走査線 2 及び共通電極 4 は、TFT 側基板側の TFT 側ガラス基板 10 上に形成されている。走査線 2 及び共通電極 4 上には、層間絶縁膜 7 を介して画素電極 5 及び信号線 1 が形成されている。画素電極 5 と共通電極 4 とは交互に配置されている。

【0009】

これらの電極は、保護絶縁膜 8 で被覆されている。保護絶縁膜 8 上には、液晶 18 を配向させるために必要となる TFT 側配向膜 15 が塗布され、さらにラビング処理されている。このようにして TFT 側基板が作成される。

【0010】

対向側基板側の対向側ガラス基板 11 上には、遮光膜であるブラックマトリクス 9 がマトリクス状に設けられている。ブラックマトリクス 9 上には、色表示を行うために必要な第 1 及び第 2 の色層 12, 13 が設けられている。ここでは、画素毎に色層が RED, GREEN, BLUE と異なるため、第 1 の色層 12、第 2 の色層 13 に分けて示している。

【0011】

第 1 及び第 2 の色層 12, 13 上には、対向側基板上を平坦化させるために必要なオーバーコート膜 14 が設けられている。オーバーコート膜 14 上には、液晶 18 を配向させるために必要となる対向側配向膜 16 が塗布され、さらにラビング処理されている。ラビング方向は、TFT 側基板に施した方向と逆方向である。このようにして対向側基板が作成される。

【0012】

TFT 側基板と対向側基板との間には、液晶 18 及びスペーサ 17 が封入されている。スペーサ 17 は、両基板間にランダムに配置されている。両基板のギャップは、スペーサ 17 の直径と、両基板上の段差が一番高いところの間によって決定されている。

【0013】

TFT 側ガラス基板 10 の電極パターンを形成しない面には、図示しない TFT 側偏光板が貼付けられている。また、TFT 側偏光板の透過軸は、ラビング方向に直交するように貼付けられる。対向側ガラス基板 11 の各種パターンが存在

しない面には、図示しない対向側偏光板が貼付けられている。また、対向側偏光板の透過軸は、TFT側偏光板の透過軸方向と直交するように貼付けられる。

【0014】

以上により、液晶表示パネルが完成する。完成した液晶表示パネルは、バックライト上に設置され、駆動回路に接続される。

【0015】

【発明が解決しようとする課題】

ところで、上述した従来の液晶表示装置では、TFT側基板と対向側基板との間に挟持される液晶材を、通常はTFT側配向膜15及び対向側配向膜16のラビング方向に沿って配向している。

【0016】

ここで、図18に示すように、スペーサ17周りの液晶分子20は、スペーサ17の界面に沿って配向されている。

【0017】

このとき、ノーマリーブラックの場合、図示しない偏光板の吸収軸とずれた方向に液晶分子20が並ぶところで光が透過する。このため、蝶々型に光漏れ21が発生する。また、配向規制力が弱いと、スペーサ17周りの液晶分子20の配向がさらにくずれる。この場合、スペーサ17周りの光漏れ21の量は増大し、図19に示すように、ドーナツ型の光漏れ21となる。

【0018】

また、液晶パネルに衝撃が加わった場合には、スペーサ17がTFT側基板や対向側基板との摩擦でチャージされることがある。このとき、スペーサ17周りに放射状に電界が発生する。この場合、その電界に沿うように液晶分子20が配置されることになるため、図20に示すように、蝶々型の光漏れ21が発生する。

【0019】

ここで、図18のように、液晶分子20がスペーサ17周りに配向した場合と、図20のように、スペーサ17がチャージアップし液晶分子20が放射状に配向した場合とを比較すると、チャージアップの場合の方が光漏れ21の領域が大

きい。

【0020】

このようなチャージアップは、液晶パネルに圧力を加えたり、衝撃を加えると遮光領域に隠されているスペーサ 17 が光透過領域に移動し易いために生じる。すなわち、遮光領域には、信号線 1、走査線 2、薄膜トランジスタ 3、対向側基板のブラックマトリクス 9 等が配置されるため、光透過領域に比べ遮光領域のギャップが狭くなっている。

【0021】

よって、ここに配置されるスペーサ 17 は、TFT 側基板と対向側基板とを支える割合が大きいため、スペーサ 17 にかかる荷重も一番大きくなる。このため、液晶パネルに圧力を加えたり、衝撃を加えたりすることで、遮光領域に配置されているスペーサ 17 が光透過領域に押出され易いことになる。

【0022】

逆に、光透過領域は、比較的ギャップが広いため、液晶パネルに圧力や衝撃が加わった場合、ギャップの狭い遮光領域にスペーサ 17 が移動することは希である。

【0023】

さらに、図 18 で説明したように、スペーサ 17 周りの液晶分子 20 はスペーサ 17 の界面に沿って配向されている。このため、光透過領域にスペーサ 17 が移動すると、スペーサ 17 周りの液晶分子 20 の配向が乱れたり、チャージアップすることが多くなるため、スペーサ 17 周りの光漏れ 21 が顕著に現れる。

【0024】

このように、液晶パネルに圧力を加えたり、衝撃を加えると遮光領域に隠されているスペーサ 17 が光透過領域に移動し、特に黒表示ではスペーサ 17 の光漏れ 21 の増加が目立ち易い。この場合、スペーサ 17 の分布に偏りがあると、表示ムラとして確認されたり、黒輝度の増大からコントラストの低下等の問題が発生する。特に、アクティブマトリクス型液晶表示装置の製造直後の検査以降に、振動又は衝撃等が与えられると、光漏れ 21 に起因する不具合が発生することがあった。

【0025】

本発明は、このような状況に鑑みてなされたものであり、振動又は衝撃等によるスペーサの光透過領域への移動を阻止することで、光漏れを小さくし、表示品質を向上させることができるアクティブマトリクス型液晶表示装置及びその製造方法を提供することができるようにするものである。

【0026】

【課題を解決するための手段】

請求項1に記載のアクティブマトリクス型液晶表示装置は、共通電極及び走査線と、絶縁膜を介して共通電極に平行に延在する画素電極及び映像信号線と、マトリクス状に配置された複数個の画素毎に設けられているアクティブ素子と、アクティブ素子上に設けられた第1の配向膜とを有する第1の透明基板と、第1の配向膜に対向して配置された第2の配向膜と、画素毎に少なくとも画素電極の一部を露出する開口領域を有した遮光膜とを有する第2の透明基板と、第1及び第2の配向膜間に收容する液晶組成物層のギャップを形成するスペーサとを備えるアクティブマトリクス型液晶表示装置において、第1の透明基板上の信号線、走査線又は薄膜トランジスタの近傍に、スペーサの移動を阻止するための第1の突起が設けられていることを特徴とする。

請求項2に記載のアクティブマトリクス型液晶表示装置は、共通電極及び走査線と、絶縁膜を介して共通電極に平行に延在する画素電極及び映像信号線と、マトリクス状に配置された複数個の画素毎に設けられているアクティブ素子と、アクティブ素子上に設けられた第1の配向膜とを有する第1の透明基板と、第1の配向膜に対向して配置された第2の配向膜と、画素毎に少なくとも画素電極の一部を露出する開口領域を有した遮光膜とを有する第2の透明基板と、第1及び第2の配向膜間に收容する液晶組成物層のギャップを形成するスペーサとを備えるアクティブマトリクス型液晶表示装置において、第2の透明基板上の信号線、走査線又は薄膜トランジスタ近傍に、スペーサの移動を阻止するための第2の突起が設けられていることを特徴とする。

また、第1又は第2の突起は、開口領域以外の遮光領域に設けられているとともに、信号線、走査線又は薄膜トランジスタ部のギャップより狭くなる高さとな

れ、さらにその幅はスペーサの直径より小さくされているようにすることができる。

また、第1又は第2の突起によるギャップと、信号線、走査線又は薄膜トランジスタ上のギャップとの差が、スペーサの径の1%以上とされているようにすることができる。

また、第2の透明基板には、第2の突起が設けられているようにすることができる。

また、第1及び第2の突起によるギャップと、信号線、走査線又は薄膜トランジスタ上のギャップとの差が、スペーサの径の1%以上とされているようにすることができる。

また、第1及び第2の突起は、対向配置されているようにすることができる。

請求項8に記載のアクティブマトリクス型液晶表示装置は、共通電極及び走査線と、絶縁膜を介して共通電極に平行に延在する画素電極及び映像信号線と、マトリクス状に配置された複数の画素毎に設けられているアクティブ素子と、アクティブ素子上に設けられた第1の配向膜とを有する第1の透明基板と、第1の配向膜に対向して配置された第2の配向膜と、画素毎に少なくとも画素電極の一部を露出する開口領域を有した遮光膜とを有する第2の透明基板と、第1及び第2の配向膜間に収容する液晶組成物層のギャップを形成するスペーサとを備えるアクティブマトリクス型液晶表示装置において、第1の透明基板上の信号線、走査線又は薄膜トランジスタ近傍の共通電極の膜厚は、共通電極上のギャップが信号線、走査線又は薄膜トランジスタ上のギャップより狭くなるように厚くされていることを特徴とする。

請求項9に記載のアクティブマトリクス型液晶表示装置は、共通電極及び走査線と、絶縁膜を介して共通電極に平行に延在する画素電極及び映像信号線と、マトリクス状に配置された複数の画素毎に設けられているアクティブ素子と、アクティブ素子上に設けられた第1の配向膜とを有する第1の透明基板と、第1の配向膜に対向して配置された第2の配向膜と、画素毎に少なくとも画素電極の一部を露出する開口領域を有した遮光膜とを有する第2の透明基板と、第1及び第2の配向膜間に収容する液晶組成物層を収容するためのギャップを形成するスペーサとを備える。

ーサとを備えるアクティブマトリクス型液晶表示装置において、第1の透明基板上の層間絶縁膜には、スペーサの移動を阻止する段差が設けられていることを特徴とする。

また、共通電極上のギャップと、信号線、走査線又は薄膜トランジスタ上のギャップとの差が、スペーサの径の1%以上とされているようにすることができる。

請求項11に記載のアクティブマトリクス型液晶表示装置の製造方法は、共通電極、走査線と、絶縁膜を介して共通電極と平行に延在する画素電極及び映像信号線とを形成する第1の工程と、マトリクス状に配置された複数個の画素毎にアクティブ素子を形成する第2の工程と、アクティブ素子上に第1の配向膜を設けることにより第1の透明基板を形成する第3の工程と、第2の配向膜を第1の配向膜に対向して設置させる第4の工程と、画素毎に少なくとも画素電極の一部を露出する開口領域が設けられた遮光膜を形成して第2の透明基板を形成する第5の工程と、第1及び第2の配向膜間にスペーサを配置させて液晶組成物層を収容するためのギャップを形成する第6の工程と、第1の透明基板の信号線、走査線又は薄膜トランジスタの近傍に、スペーサの移動を阻止するための第1の突起を形成する第7の工程とを備えることを特徴とする。

請求項12に記載のアクティブマトリクス型液晶表示装置の製造方法は、共通電極、走査線と、絶縁膜を介して共通電極と平行に延在する画素電極及び映像信号線とを形成する第1の工程と、マトリクス状に配置された複数個の画素毎にアクティブ素子を形成する第2の工程と、アクティブ素子上に第1の配向膜を設けることにより第1の透明基板を形成する第3の工程と、第2の配向膜を第1の配向膜に対向して設置させる第4の工程と、画素毎に少なくとも画素電極の一部を露出する開口領域が設けられた遮光膜を形成して第2の透明基板を形成する第5の工程と、第1及び第2の配向膜間にスペーサを配置させて液晶組成物層を収容するためのギャップを形成する第6の工程と、第2の透明基板上の信号線、走査線又は薄膜トランジスタ近傍に、スペーサの移動を阻止するための第2の突起を形成する第8の工程とを備えることを特徴とする。

また、第7又は第8の工程には、第1又は第2の突起を、開口領域以外の遮光

領域に形成する工程と、第1又は第2の突起を、信号線、走査線又は薄膜トランジスタ部のギャップより狭くなる高さに形成する第9の工程と、第1又は第2の突起の幅を、スペーサの直径より小さくして形成する工程とが含まれるようにすることができる。

また、第9の工程には、第1又は第2の突起によるギャップと、信号線、走査線又は薄膜トランジスタ上のギャップとの差を、スペーサの径の1%以上とする工程が含まれるようにすることができる。

また、第7の工程には、第2の透明基板に、第2の突起を形成する第10の工程が含まれるようにすることができる。

また、第10の工程には、第1及び第2の突起によるギャップと、信号線、走査線又は薄膜トランジスタ上のギャップとの差を、スペーサの径の1%以上とする工程が含まれるようにすることができる。

また、第10の工程には、第1及び第2の突起を対向させて形成する工程が含まれるようにすることができる。

請求項18に記載のアクティブマトリクス型液晶表示装置の製造方法は、共通電極、走査線と、絶縁膜を介して共通電極と平行に延在する画素電極及び映像信号線とを形成する第1の工程と、マトリクス状に配置された複数の画素毎にアクティブ素子を形成する第2の工程と、アクティブ素子上に第1の配向膜を設けることにより第1の透明基板を形成する第3の工程と、第2の配向膜を第1の配向膜に対向して設置させる第4の工程と、画素毎に少なくとも画素電極の一部を露出する開口領域が設けられた遮光膜を形成して第2の透明基板を形成する第5の工程と、第1及び第2の配向膜間にスペーサを配置させて液晶組成物層を収容するためのギャップを形成する第6の工程と、第1の透明基板上の信号線、走査線又は薄膜トランジスタ近傍の共通電極の膜厚を、共通電極上のギャップが信号線、走査線又は薄膜トランジスタ上のギャップより狭くなるように厚く形成する第11の工程とを備えることを特徴とする。

請求項19に記載のアクティブマトリクス型液晶表示装置の製造方法は、共通電極、走査線と、絶縁膜を介して共通電極と平行に延在する画素電極及び映像信号線とを形成する第1の工程と、マトリクス状に配置された複数の画素毎にア

クティブ素子を形成する第2の工程と、アクティブ素子上に第1の配向膜を設けることにより第1の透明基板を形成する第3の工程と、第2の配向膜を第1の配向膜に対向して設置させる第4の工程と、画素毎に少なくとも画素電極の一部を露出する開口領域が設けられた遮光膜を形成して第2の透明基板を形成する第5の工程と、第1及び第2の配向膜間にスペーサを配置させて液晶組成物層を収容するためのギャップを形成する第6の工程と、第1の透明基板上の層間絶縁膜にスペーサの移動を阻止する段差を形成する第12の工程とを備えることを特徴とする。

また、第11又は第12の工程には、共通電極上のギャップと、信号線、走査線又は薄膜トランジスタ上のギャップとの差を、スペーサの径の1%以上とする工程が含まれるようにすることができる。

また、第7の工程には、第1の突起をメタル材料や絶縁材料を用い、第1～第6の工程と同時に形成する工程が含まれるようにすることができる。

また、第7の工程には、第1～第6の工程の終了後、第1の突起を樹脂によって形成する工程が含まれるようにすることができる。

また、第8の工程には、第2の突起を、色層又はオーバーコート膜によって形成する工程が含まれるようにすることができる。

本発明に係るアクティブマトリクス型液晶表示装置及びその製造方法においては、第1及び／又は第2の透明基板上の信号線、走査線又は薄膜トランジスタの近傍に、スペーサの移動を阻止するための第1及び／又は第2の突起を設け、スペーサの光透過領域への移動を阻止し、スペーサによる光漏れが少なくされるようにする。

【0027】

【発明の実施の形態】

以下、本発明の実施の形態について説明する。なお、以下に説明する図において、図15～図20と共通する部分には同一符号を付し重複する説明を省略する。

【0028】

(第1の実施の形態)

図1は、本発明のアクティブマトリクス型液晶表示装置の第1の実施の形態を示す平面図、図2は、図1のアクティブマトリクス型液晶表示装置を示すA-A'線断面図、図3は、図1のアクティブマトリクス型液晶表示装置を示すB-B'線断面図である。

【0029】

これらの図に示すように、TFT側ガラス基板10上には、第1の突起としてのTFT側突起部6が設けられている。TFT側突起部6は、遮光領域から光透過領域へのスペーサ17の移動を阻止するためのものである。TFT側突起部6は、TFT側ガラス基板10上の信号線1、走査線2又は薄膜トランジスタ3の近傍に設けられている。

【0030】

TFT側突起部6は、図2に示すように、信号線1の近傍の共通電極4上にあり、さらにブラックマトリクス9と重なる領域にメタルパターンによって形成されている。

【0031】

TFT側突起部6は、TFT基板製造時に、Cr、Al、Mo等のメタル材料や、SiO₂、SiN_x等の絶縁材料にて同時に形成することができる。また、TFT基板製造終了後、樹脂等を用い別工程にて形成することもできる。

【0032】

また、図2に示すように、TFT側突起部6と対向側基板とのギャップは、信号線1上のギャップよりも狭くされている。TFT側突起部6の幅は、スペーサ17の径以下とされている。すなわち、たとえばスペーサ17の直径が4 μ mであれば4 μ m以下となっている。

【0033】

さらに、図3に示すように、TFT側突起部6と対向側基板とのギャップは、最も狭い薄膜トランジスタ3上のギャップよりも狭くされている。TFT側突起部6の幅は、上記同様に、スペーサ17の径以下とされている。

【0034】

ここで、信号線1、走査線2又は薄膜トランジスタ3上のギャップとTFT側

突起部 6 上のギャップとの差は、スペーサ径の 1 %、望ましくは 2 % 以上に行っている。これにより、スペーサ 1 7 が T F T 側突起部 6 を乗越えて光透過領域に移動することが防止される。

【0 0 3 5】

このように、第 1 の実施の形態では、T F T 側ガラス基板 1 0 側に T F T 側突起部 6 を設けるとともに、T F T 側突起部 6 上のギャップを、信号線 1、走査線 2 又は薄膜トランジスタ 3 上のギャップより狭くするようにした。

【0 0 3 6】

これにより、液晶パネルに圧力や衝撃が加えられても、信号線 1、走査線 2 又は薄膜トランジスタ 3 上に配置されたスペーサ 1 7 が光透過領域に移動し難くなる。その結果、スペーサ 1 7 周りで発生する光漏れの増加が少なくされる。

【0 0 3 7】

その結果、黒輝度が下がり、コントラストが高くなることとともに、光漏れの分布ムラによる表示ムラが少なく、しかも振動・衝撃に対する信頼性も向上する。さらには、アクティブマトリクス型液晶表示装置の製造後に振動・衝撃等が加えられた場合であっても、製造直後の検査以降に不具合が発生することも防止される。

【0 0 3 8】

なお、T F T 側突起部 6 にあって、図 1 のように連続して設ける場合に限らず、断続的に設けることも可能である。

【0 0 3 9】

(第 2 の実施の形態)

図 4 は、本発明のアクティブマトリクス型液晶表示装置の第 2 の実施の形態を示す平面図、図 5 は、図 4 のアクティブマトリクス型液晶表示装置を示す C - C' 線断面図、図 6 は、図 5 のアクティブマトリクス型液晶表示装置を示す D - D' 線断面図である。

【0 0 4 0】

第 2 の実施の形態では、対向側基板側に第 2 の突起としての対向基板側突起部 1 9 を設けている。対向基板側突起部 1 9 は、対向側基板の製造時に第 1 の色層

12やオーバーコート膜14の形成と同時に形成されたものである。第2の実施の形態では、対向基板側突起部19をオーバーコート膜14と同一材料で形成している。

【0041】

また、対向基板側突起部19は、図5に示すように、信号線1近傍の対向側ガラス基板11側のブラックマトリクス9上にオーバーコート膜14と同時に形成されている。対向基板側突起部19上のギャップは、信号線上のギャップより狭くなるように形成されている。対向基板側突起部19の幅は、スペーサ17の径以下とされている。すなわち、たとえばスペーサ17の直径が4 μm であれば4 μm 以下とされている。

【0042】

また、対向基板側突起部19は、図6に示すように、走査線2及び薄膜トランジスタ3近傍の対向側ガラス基板11のブラックマトリクス9上に形成されている。対向基板側突起部19上のギャップは、走査線2もしくは薄膜トランジスタ3上のギャップより狭くなるように形成されている。対向基板側突起部19の幅は、上記同様に、スペーサ17の径以下とされている。

【0043】

ここで、信号線1、走査線2又は薄膜トランジスタ3上のギャップと対向基板側突起部19上のギャップとの差は、第1の実施の形態と同様に、スペーサ径の1%、望ましくは2%以上となっている。

【0044】

このように、第2の実施の形態では、対向側ガラス基板11側に対向基板側突起部19を設けるとともに、対向基板側突起部19上のギャップを信号線1、走査線2又は薄膜トランジスタ3上のギャップより狭くするようにした。

【0045】

これにより、液晶パネルに圧力や衝撃が加えられても、信号線1、走査線2又は薄膜トランジスタ3上に配置されたスペーサ17が光透過領域に移動し難くなる。そのため、スペーサ17周りで発生する光漏れの増加が抑えられる。

【0046】

その結果、黒輝度が下がり、コントラストが高くなることとともに、光漏れの分布ムラによる表示ムラが少なく、しかも振動・衝撃に対する信頼性も向上する。さらには、アクティブマトリクス型液晶表示装置の製造後に振動・衝撃等が加えられた場合であっても、製造直後の検査以降に不具合が発生することも防止される。

【0047】

なお、対向基板側突起部 19 にあって、図 4 のように連続して設ける場合に限らず、断続的に設けることも可能である。

【0048】

(第 3 の実施の形態)

図 7 は、本発明のアクティブマトリクス型液晶表示装置の第 3 の実施の形態を示す平面図、図 8 は、図 7 のアクティブマトリクス型液晶表示装置を示す E-E 線断面図、図 9 は、図 8 のアクティブマトリクス型液晶表示装置を示す F-F 線断面図である。

【0049】

第 3 の実施の形態は、第 1 及び第 2 の実施の形態を組合わせたものである。

【0050】

すなわち、TFT 側突起部 6 及び対向基板側突起部 19 が、TFT 側ガラス基板 10 及び対向側ガラス基板 11 に各々設けられている。TFT 側突起部 6 及び対向基板側突起部 19 の製法は、第 1 及び第 2 の実施の形態で示した通りである。

【0051】

すなわち、図 8 に示すように、TFT 側ガラス基板 10 側では、信号線 1 近傍の共通電極 4 のブラックマトリクス 9 と重なる領域にメタルパターンにて TFT 側突起部 6 が形成されている。

【0052】

対向側ガラス基板 11 側では、信号線 1 近傍のブラックマトリクス 9 上にオーバーコート膜 14 にて対向基板側突起部 19 が形成されている。

【0053】

TFT側突起部 6 及び対向基板側突起部 19 は、各々対向配置されている。TFT側突起部 6 及び対向基板側突起部 19 間のギャップは、信号線 1 上のギャップより狭くされている。

【0054】

この場合、第 1 及び第 2 の実施の形態での TFT側突起部 6 及び対向基板側突起部 19 の高さを、半分にすることができる。

【0055】

また、TFT側突起部 6 及び対向基板側突起部 19 は、対向しないように配置することができる。この場合、TFT側突起部 6 及び対向基板側突起部 19 間の相対ギャップは、信号線 1 上のギャップより狭くされればよい。

【0056】

また、TFT側突起部 6 及び対向基板側突起部 19 の幅は、第 1 及び第 2 の実施の形態と同様に、スペーサ 17 の直径以下である。

【0057】

このように、TFT側ガラス基板 10 及び対向側ガラス基板 11 に TFT側突起部 6 及び対向基板側突起部 19 を設けることで、第 1 及び第 2 の実施の形態の場合に比べ、TFT側突起部 6 及び対向基板側突起部 19 の数を倍にすることができ、スペーサ 17 の移動防止効果がより期待できる。

【0058】

また、図 9 に示すように、TFT側ガラス基板 10 側では、走査線 2 及び薄膜トランジスタ 3 近傍の共通電極 4 のブラックマトリクス 9 と重なる領域にメタルパターンにて TFT側突起部 6 が形成されている。

【0059】

対向側ガラス基板 11 側では、信号線 1 近傍のブラックマトリクス 9 上にオーバークोट膜 14 にて対向基板側突起部 19 が形成されている。

【0060】

TFT側突起部 6 及び対向基板側突起部 19 は、対向配置されている。TFT側突起部 6 及び対向基板側突起部 19 間のギャップは、走査線 2 及び薄膜トランジスタ 3 上のギャップより狭くされている。

【0061】

これにより、第1及び第2の実施の形態でのTFT側突起部6及び対向基板側突起部19の高さを、半分にすることができる。

【0062】

また、TFT側突起部6及び対向基板側突起部19は、対向しないように配置することができる。この場合、TFT側突起部6及び対向基板側突起部19間の相対ギャップは、走査線2及び薄膜トランジスタ3上のギャップより狭くされればよい。

【0063】

このように、TFT側ガラス基板10及び対向側ガラス基板11にTFT側突起部6及び対向基板側突起部19を設けることで、第1及び第2の実施の形態の場合に比べ、上記同様に、TFT側突起部6及び対向基板側突起部19の数を倍にすることができ、スペーサ17の移動防止効果がより期待できる。

【0064】

また、TFT側突起部6及び対向基板側突起部19の幅は、第1及び第2の実施の形態と同様に、スペーサ17の直径以下である。

【0065】

さらに、第1の実施の形態と同様に、信号線1、走査線2又は薄膜トランジスタ3上のギャップと、TFT側突起部6及び対向基板側突起部19上のギャップとの差を、スペーサ径の1%、望ましくは2%以上とする。

【0066】

このように、第3の実施の形態では、TFT側ガラス基板10及び対向側ガラス基板11に、TFT側突起部6及び対向基板側突起部19を設け、TFT側突起部6及び対向基板側突起部19間のギャップを、信号線1、走査線2又は薄膜トランジスタ3上のギャップより狭くした。

【0067】

これにより、液晶パネルに圧力や衝撃が加えられても、信号線1、走査線2又は薄膜トランジスタ3上に配置されたスペーサ17が光透過領域に移動し難くなる。そのため、スペーサ17周りで発生する光漏れの増加が抑えられるので、表

示特性に優れるとともに、表示ムラが無く、信頼性に優れるアクティブマトリクス型液晶表示装置が得られる。

【0068】

また、上記同様に、TFT側突起部6及び対向基板側突起部19は、断続的に設けるようにしてもよい。

【0069】

(第4の実施の形態)

図10は、本発明のアクティブマトリクス型液晶表示装置の第4の実施の形態を示す平面図、図11は、図10のアクティブマトリクス型液晶表示装置を示すG-G'線断面図、図12は、図11のアクティブマトリクス型液晶表示装置を示すH-H'線断面図である。

【0070】

第4の実施の形態では、第1～第3の実施の形態におけるTFT側突起部6及び対向基板側突起部19に代えて、TFT側基板の段差の調整により、信号線1、走査線2又は薄膜トランジスタ3上のギャップを狭くするようにしたものである。

【0071】

すなわち、信号線1、走査線2又は薄膜トランジスタ3近傍にある共通電極4の膜厚を厚くし、信号線1、走査線2又は薄膜トランジスタ3上のギャップより狭くなるようにしている。

【0072】

また、共通電極4上のギャップは、図11に示すように、信号線1上のギャップより狭くなっている。さらに、共通電極4のギャップは、図12に示すように、走査線2及び薄膜トランジスタ3上のギャップより狭くなっている。

【0073】

ここで、信号線1、走査線2又は薄膜トランジスタ3上のギャップと共通電極4上のギャップとの差は、上記同様に、スペーサ径の1%、望ましくは2%以上である。これにより、スペーサ17の光透過領域への移動が防止される。

【0074】

このように、第4の実施の形態では、共通電極4部のギャップを信号線1、走査線2又は薄膜トランジスタ3部より狭くするようにしたので、スペーサ17の光透過領域への移動の防止効果が高められる。また、第4の実施の形態では、第1～第3の実施の形態におけるTFT側突起部6及び対向基板側突起部19の形成が不要となるため、製造工程が短縮される。

【0075】

これにより、液晶パネルに圧力や衝撃が加えられても、信号線1、走査線2又は薄膜トランジスタ3上に配置されたスペーサ17が光透過領域に移動し難くなる。そのため、スペーサ17周りで発生する光漏れの増加が抑えられるので、表示特性に優れるとともに、表示ムラが無く、信頼性に優れるアクティブマトリクス型液晶表示装置が得られる。

【0076】

(第5の実施の形態)

図13は、本発明のアクティブマトリクス型液晶表示装置の第5の実施の形態を示す平面図、図14は、図13のアクティブマトリクス型液晶表示装置を示すI-I'線断面図である。

【0077】

第5の実施の形態では、第4の実施の形態と同様に、TFT側基板の段差を調整することで、信号線1近傍の共通電極4上のギャップを狭くするようにしている。

【0078】

すなわち、信号線1の下層間絶縁膜7にエッチング等の技術を用いて層間絶縁膜段差22を設けている。これにより、信号線1上のギャップが広げられ、上記同様の効果が得られる。このとき、層間絶縁膜段差22は、層間絶縁膜7を全て除去する必要は無い。

【0079】

また、共通電極4上のギャップは、図14に示すように、信号線1上のギャップより狭くなっている。ここで、信号線1上のギャップと共通電極4上のギャップとの差は、第1の実施の形態と同様に、スペーサ径の1%、望ましくは2%以

上となっている。

【0080】

このように、第5の実施の形態では、共通電極4上のギャップを信号線1上のギャップより狭くするようにした。これにより、共通電極4上のギャップが狭くされるため、スペーサ17は光透過領域への移動を抑えることができる。

【0081】

これにより、液晶パネルに圧力や衝撃が加えられても、信号線1、走査線2又は薄膜トランジスタ3上に配置されたスペーサ17が光透過領域に移動し難くなる。そのため、スペーサ17周りで発生する光漏れの増加が抑えられるので、表示特性に優れるとともに、表示ムラが無く、信頼性に優れるアクティブマトリクス型液晶表示装置が得られる。

【0082】

なお、以上の各実施の形態では、本発明のアクティブマトリクス型液晶表示装置を、横電界方式のアクティブマトリクス型TFT液晶表示装置に適用した場合について説明したが、この例に限らず、単純マトリクス型のTN、STN液晶表示装置、強誘電性液晶表示装置、ポリマ分散型液晶表示装置等の他の液晶表示装置に対しても適応可能である。

【0083】

特に、横電界方式のアクティブマトリクス型TFT液晶表示装置では、ノーマリーブラック方式を採用することが多く、スペーサ周りの液晶配向が乱れることによる光漏れが発生し易いため、本方式を適用すれば光漏れの発生を有効に防止することができる。

【0084】

【発明の効果】

以上の如く本発明に係るアクティブマトリクス型液晶表示装置及びその製造方法によれば、第1及び／又は第2の透明基板上の信号線、走査線又は薄膜トランジスタの近傍に、スペーサの移動を阻止するための第1及び／又は第2の突起を設け、スペーサの光透過領域への移動を阻止し、スペーサによる光漏れを少なくするようにしたので、振動又は衝撃等によるスペーサの光透過領域への移動が阻

止され、光漏れが小さくされるので、表示品質を向上させることができる。

【図面の簡単な説明】

【図 1】

本発明のアクティブマトリクス型液晶表示装置の第 1 の実施の形態を示す平面図である。

【図 2】

図 1 のアクティブマトリクス型液晶表示装置を示す A - A' 線断面図である。

【図 3】

図 1 のアクティブマトリクス型液晶表示装置を示す B - B' 線断面図である。

【図 4】

本発明のアクティブマトリクス型液晶表示装置の第 2 の実施の形態を示す平面図である。

【図 5】

図 4 のアクティブマトリクス型液晶表示装置を示す C - C' 線断面図である。

【図 6】

図 5 のアクティブマトリクス型液晶表示装置を示す D - D' 線断面図である。

【図 7】

本発明のアクティブマトリクス型液晶表示装置の第 3 の実施の形態を示す平面図である。

【図 8】

図 7 のアクティブマトリクス型液晶表示装置を示す E - E' 線断面図である。

【図 9】

図 8 のアクティブマトリクス型液晶表示装置を示す F - F' 線断面図である。

【図 10】

本発明のアクティブマトリクス型液晶表示装置の第 4 の実施の形態を示す平面図である。

【図 11】

図 10 のアクティブマトリクス型液晶表示装置を示す G - G' 線断面図である。

【図 1 2】

図 1 1 のアクティブマトリクス型液晶表示装置を示す H - H' 線断面図である。

【図 1 3】

本発明のアクティブマトリクス型液晶表示装置の第 5 の実施の形態を示す平面図である。

【図 1 4】

図 1 3 のアクティブマトリクス型液晶表示装置を示す I - I' 線断面図である。

【図 1 5】

従来の横電界駆動型の液晶表示装置を示す平面図である。

【図 1 6】

図 1 5 の横電界駆動型の液晶表示装置を示す J - J' 線断面図である。

【図 1 7】

図 1 5 の横電界駆動型の液晶表示装置を示す K - K' 線断面図である。

【図 1 8】

図 1 6 及び図 1 7 のスペーサ周りの液晶分子の配向状態を示す図である。

【図 1 9】

図 1 6 及び図 1 7 のスペーサ周りの液晶分子の配向状態を示す図である。

【図 2 0】

図 1 6 及び図 1 7 のスペーサ周りの液晶分子の配向状態を示す図である。

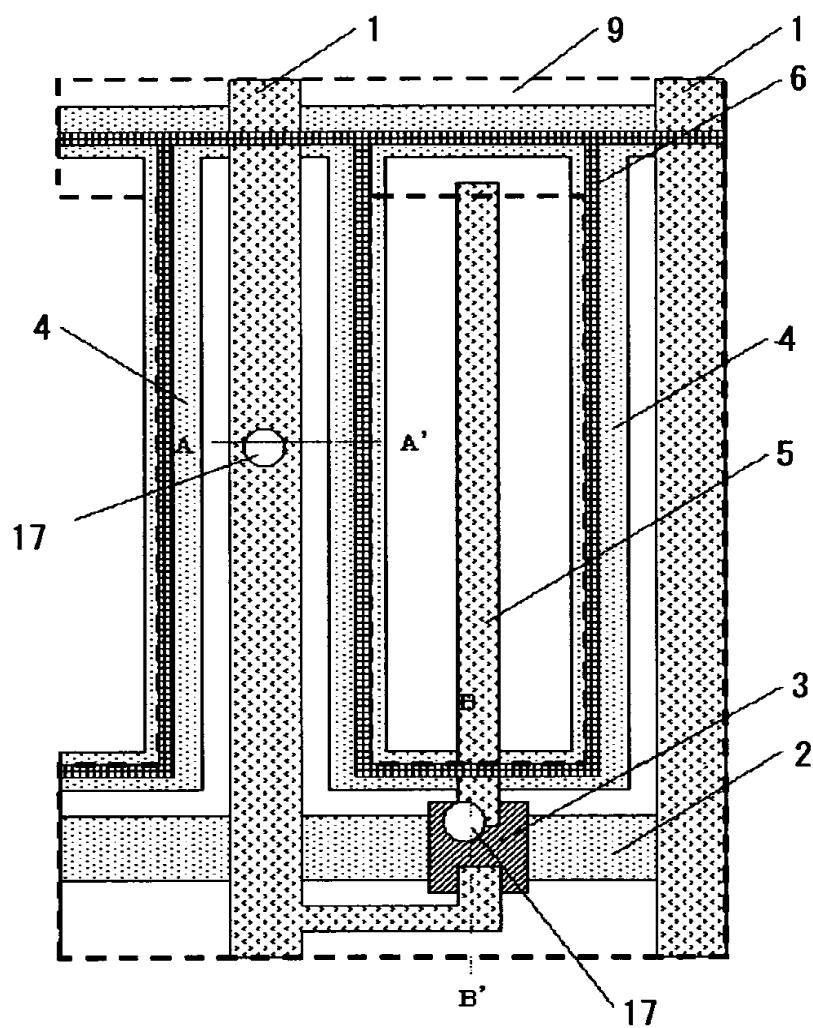
【符号の説明】

- 1 信号線
- 2 走査線
- 3 薄膜トランジスタ
- 4 共通電極
- 5 画素電極
- 6 TFT 側突起部
- 7 層間絶縁膜

- 8 保護絶縁膜
- 9 ブラックマトリクス
- 1 0 T F T 側ガラス基板
- 1 1 対向側ガラス基板
- 1 2 第 1 の色層
- 1 3 第 2 の色層
- 1 4 オーバーコート膜
- 1 5 T F T 側配向膜
- 1 6 対向側配向膜
- 1 7 スペース
- 1 8 液晶
- 1 9 対向基板側突起部
- 2 0 液晶分子
- 2 1 光漏れ
- 2 2 層間絶縁膜段差

【書類名】 図面

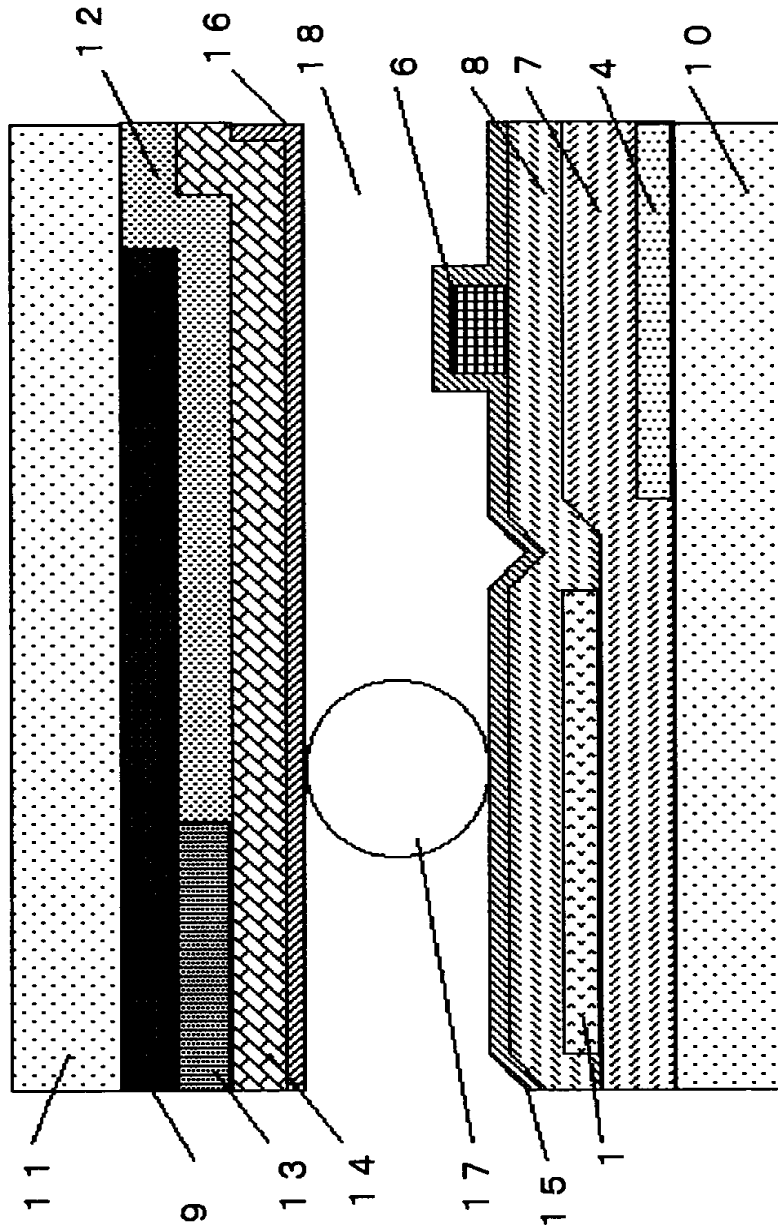
【図 1】



- 1 信号線
- 2 走査線
- 3 薄膜トランジスタ
- 4 共通電極
- 5 画素電極
- 6 TFT側突起部

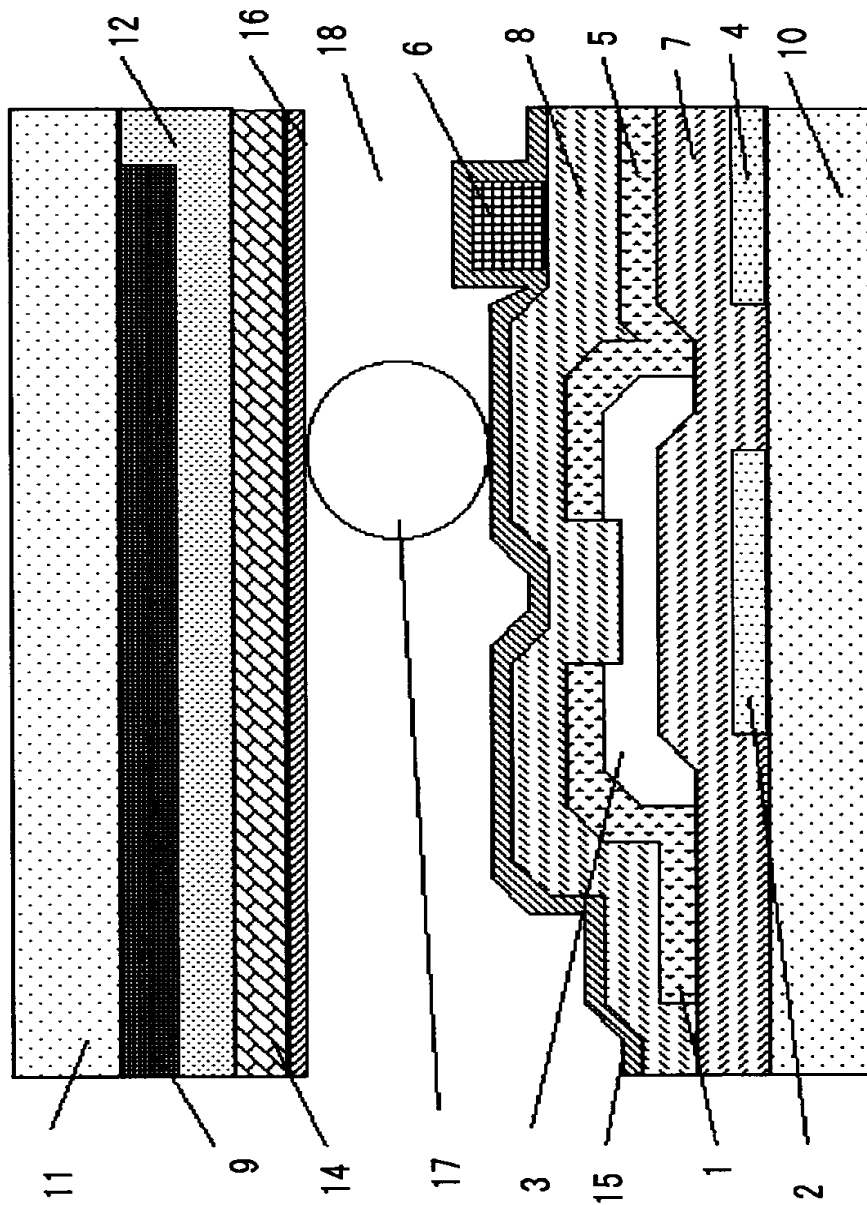
- 9 ブラックマトリクス
- 17 スペース

【図2】



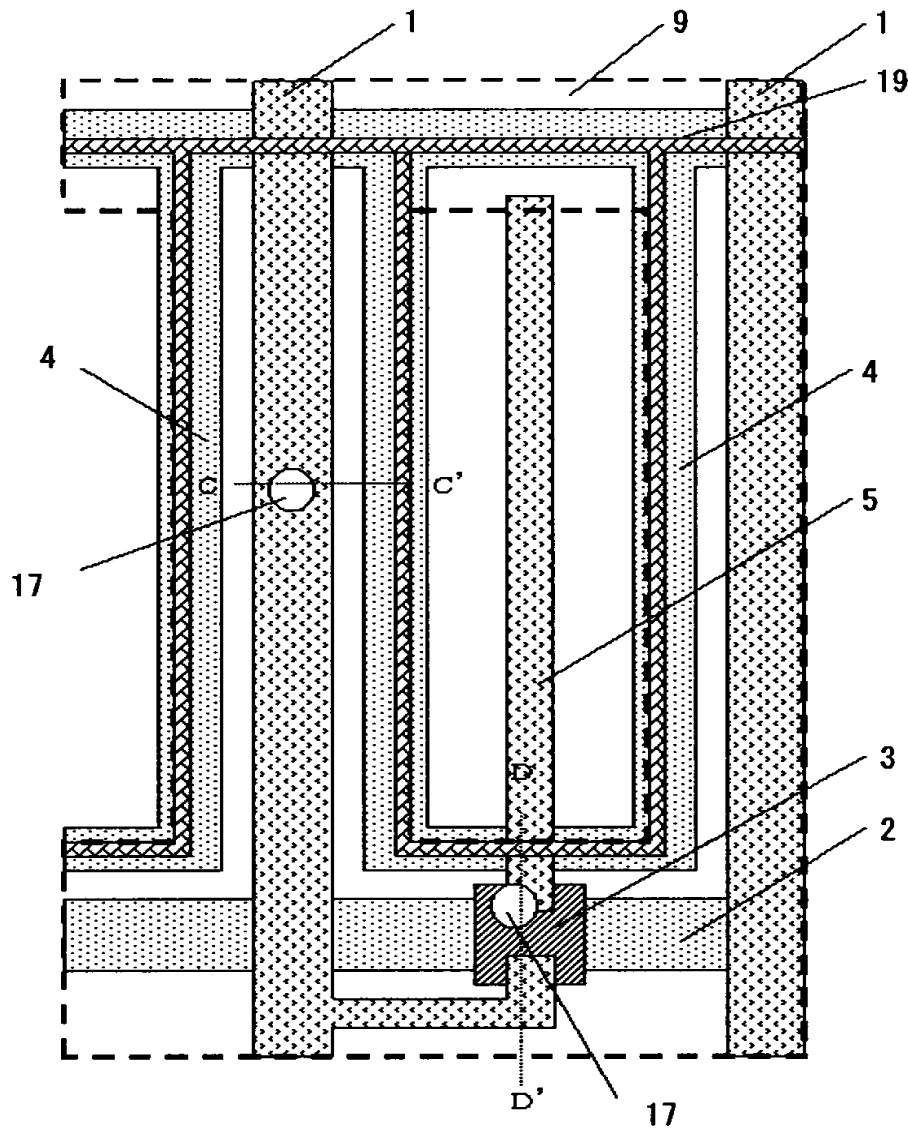
- | | | | | | |
|---|---------|----|-----------|----|-----------|
| 1 | 信号線 | 9 | ブラックマトリクス | 14 | オーバークコート膜 |
| 4 | 共通電極突起部 | 10 | ガラス基板 | 15 | TFT側配向膜 |
| 6 | TFT側配向膜 | 11 | TFT側配向膜 | 16 | TFT側配向膜 |
| 7 | 絶縁膜 | 12 | 第1の色層 | 17 | スペーサ |
| 8 | 保護絶縁膜 | 13 | 第2の色層 | 18 | 液晶 |

【図3】



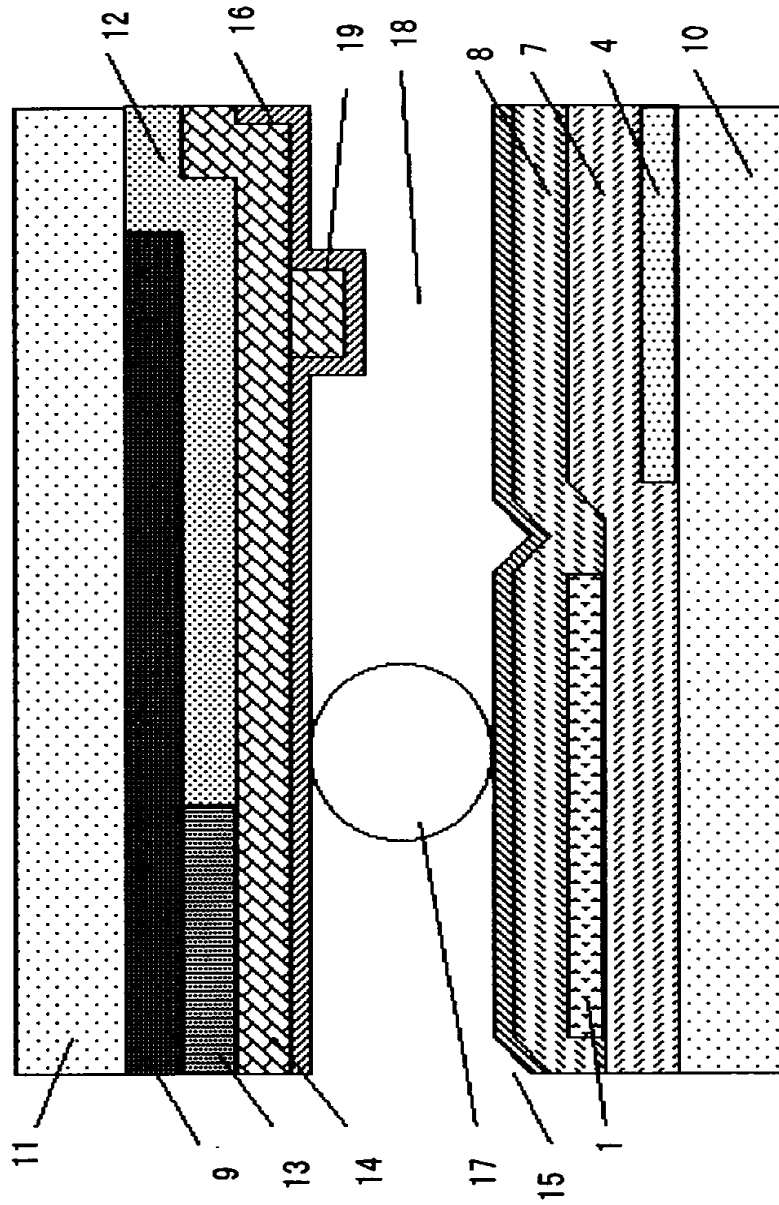
- | | | | | | |
|---|------------|----|-------------|----|------------|
| 1 | 号線 | 8 | 保護絶縁膜 | 15 | T F T 側配向膜 |
| 2 | 走線 | 9 | ブラックマトリクス基板 | 16 | T F T 側配向膜 |
| 3 | 共通電極 | 10 | T F T 側配向膜 | 17 | スペーサ |
| 4 | 共通電極 | 11 | T F T 側配向膜 | 18 | 液晶 |
| 5 | 共通電極 | 12 | T F T 側配向膜 | | |
| 6 | T F T 側突起部 | 14 | 第1の色層 | | |

【図4】



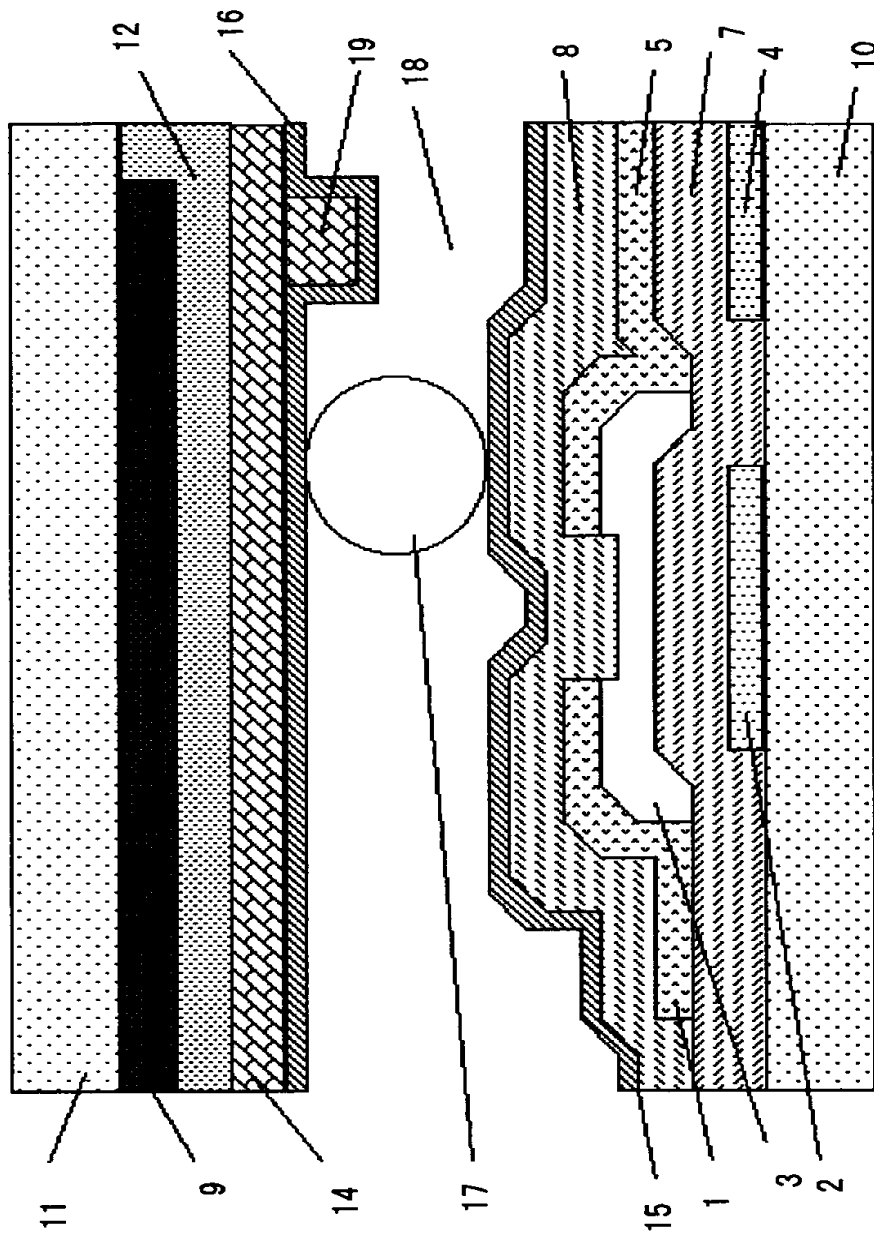
- | | | | |
|---|----------|----|-----------|
| 1 | 信号線 | 9 | ブラックマトリクス |
| 2 | 走査線 | 17 | スペーサ |
| 3 | 薄膜トランジスタ | 19 | 対向基板側突起部 |
| 4 | 共通電極 | | |
| 5 | 画素電極 | | |

【図5】



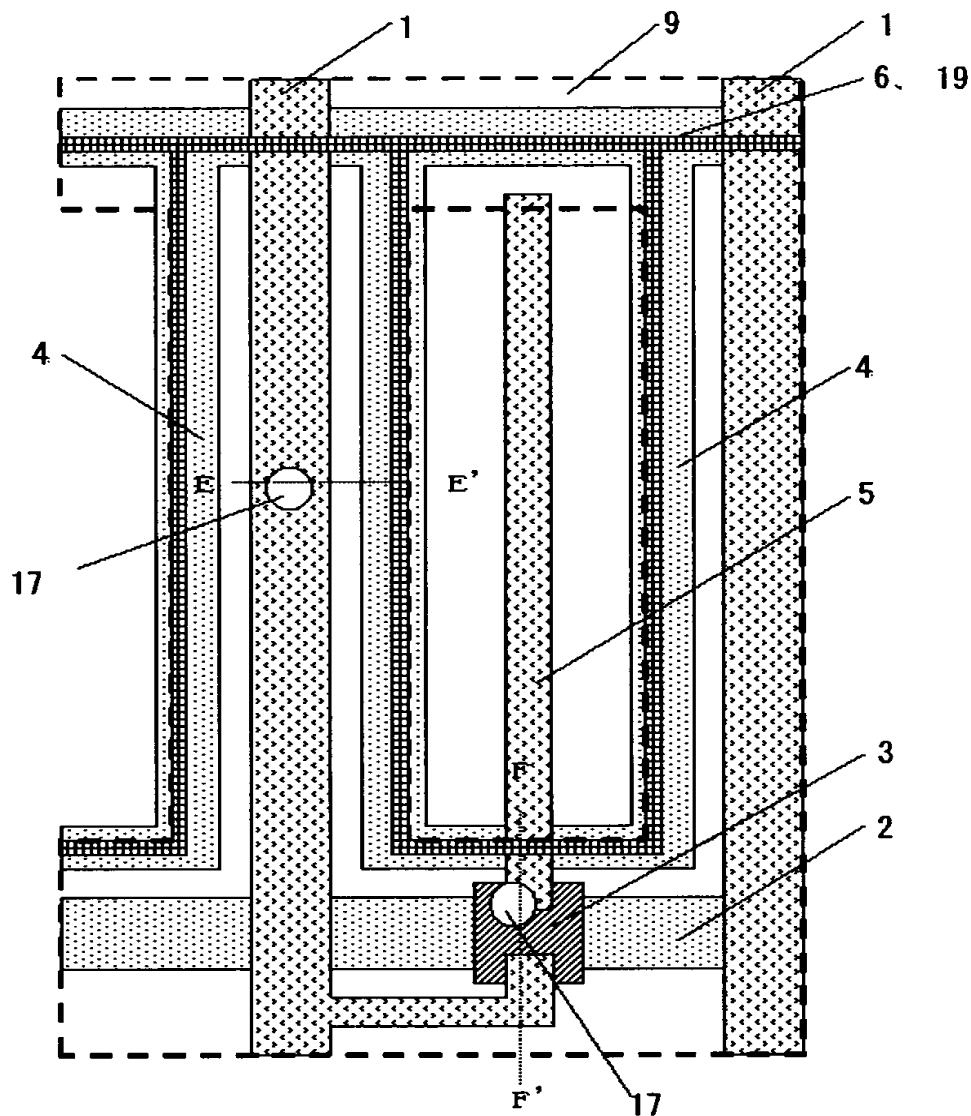
- | | | | | |
|-----------|-----------|---------|---------|-----------|
| 1 | 4 | 7 | 8 | 9 |
| 信号線 | 共通電極 | 絶縁膜 | 絶縁膜 | ブラックマトリクス |
| 10 | 11 | 12 | 13 | 14 |
| TFT側ガラス基板 | TFT側ガラス基板 | TFT側の色層 | TFT側の色層 | オーバーコート膜 |
| 15 | 16 | 17 | 18 | 19 |
| TFT側配向膜 | 対向側配向膜 | TFT側配向膜 | 対向側配向膜 | 液晶 |
| | | | | 対向基板側突起部 |

【図6】



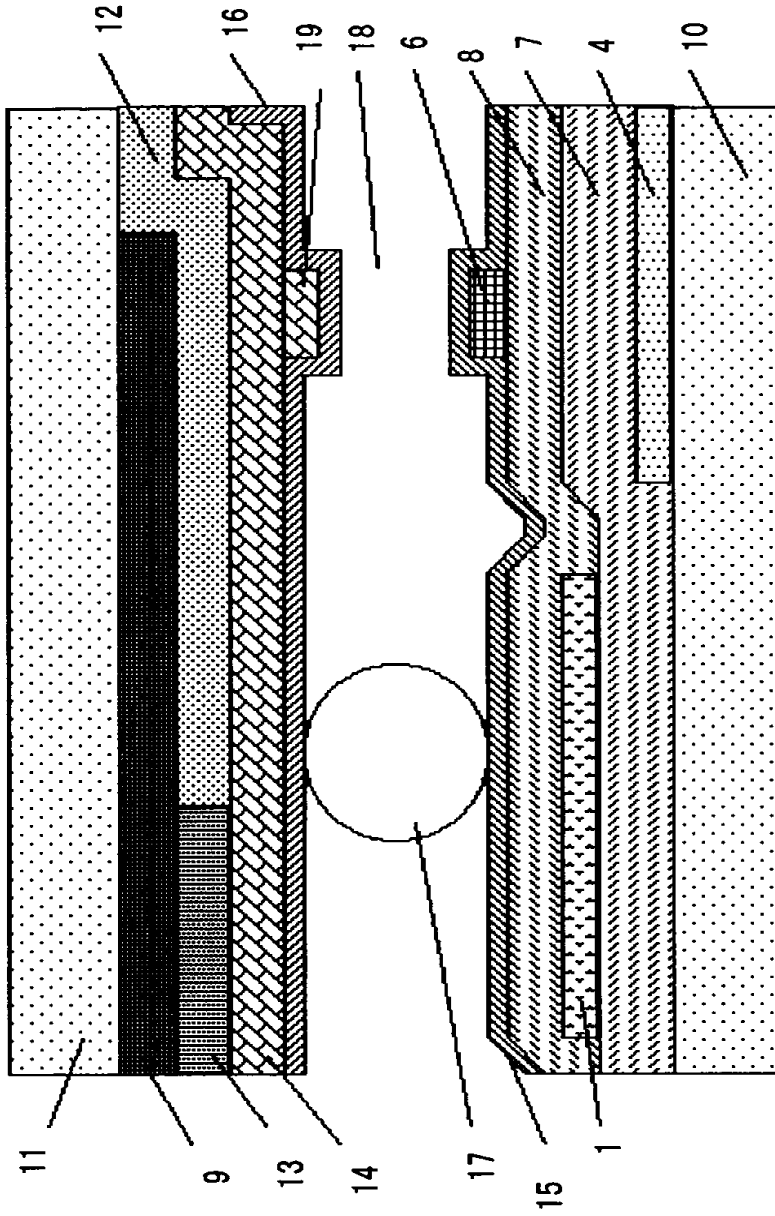
- | | | | | | |
|---------|---------|---------|---------|---------|-----|
| 1 | 2 | 3 | 4 | 5 | 7 |
| 出線層 | 共通電極 | ランスタ | 走線層 | 電極 | 絶縁膜 |
| 8 | 9 | 10 | 11 | 12 | 14 |
| 保護絶縁膜 | マシクマ | トリス | 基板 | 基板 | 基板 |
| 15 | 16 | 17 | 18 | 19 | |
| TFT側配向膜 | TFT側配向膜 | TFT側配向膜 | TFT側配向膜 | TFT側配向膜 | |
| 1 | 2 | 3 | 4 | 5 | 7 |
| 対向基板突起部 | 対向基板突起部 | 対向基板突起部 | 対向基板突起部 | 対向基板突起部 | |

【図7】



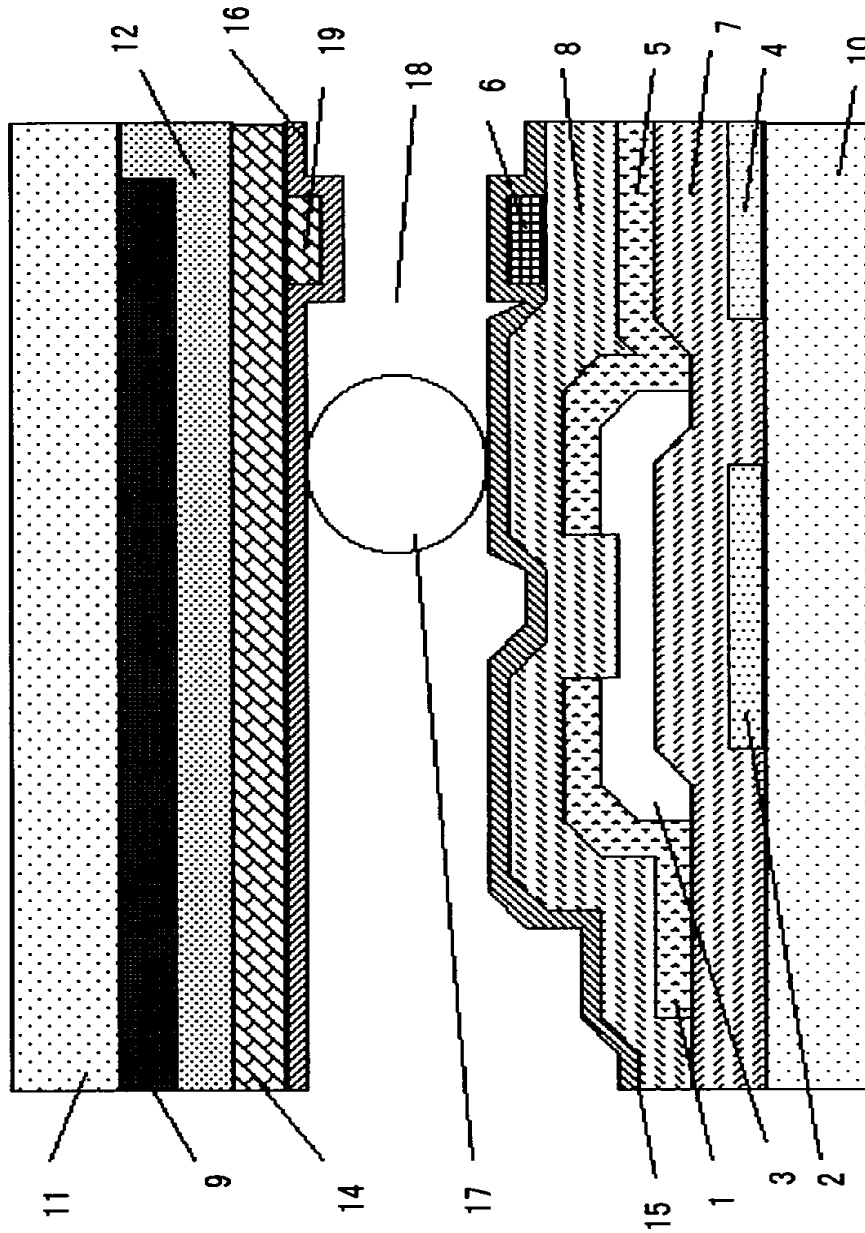
- | | |
|------------|-------------|
| 1 信号線 | 6 TFT側突起部 |
| 2 走査線 | 17 スペース |
| 3 薄膜トランジスタ | 19 対向基板側突起部 |
| 4 共通電極 | |
| 5 画素電極 | |

【図 8】



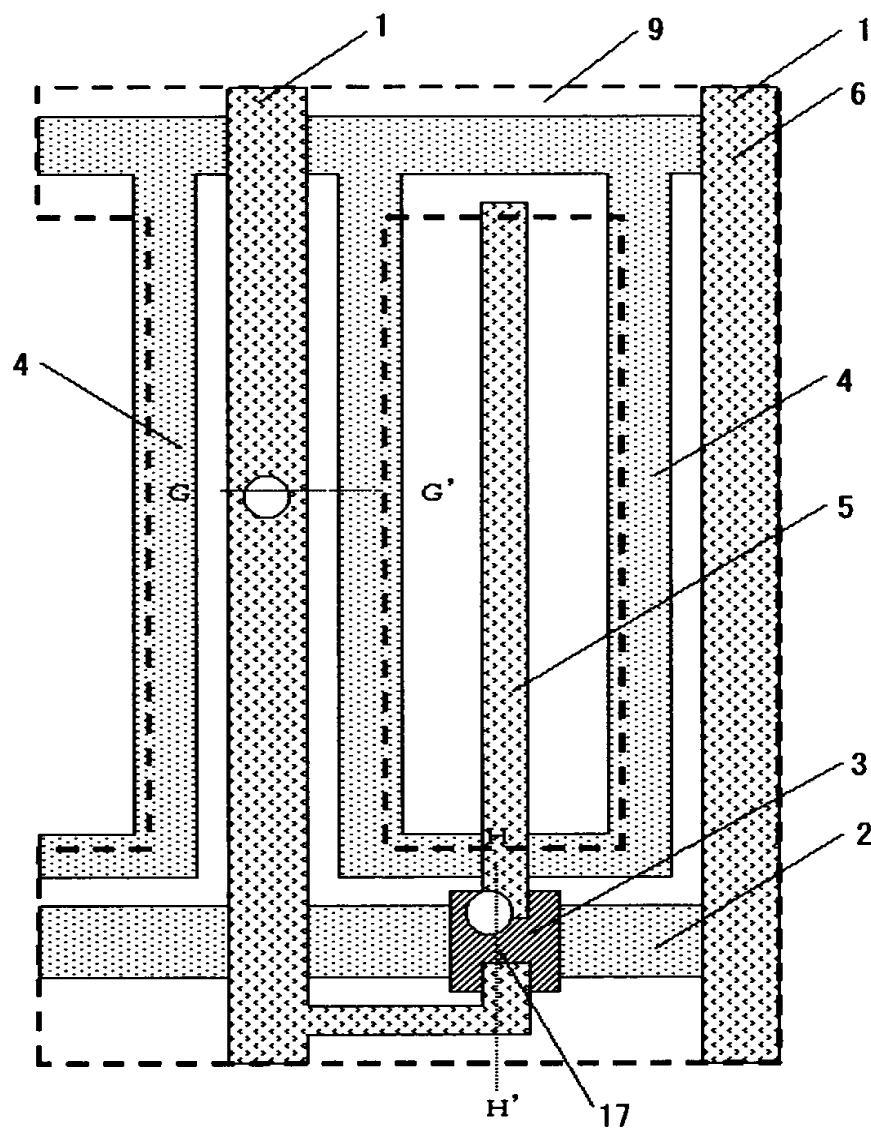
- | | | | | | |
|---|-----------|----|-----------|----|----------|
| 1 | 信号線 | 10 | TFT側ガラス基板 | 15 | TFT側配向膜 |
| 4 | 共通電極 | 11 | 対向側ガラス基板 | 16 | TFT側配向膜 |
| 7 | 絶縁膜 | 12 | 第1の色層 | 17 | 対向側配向膜 |
| 8 | 保護膜 | 13 | 第2の色層 | 18 | 液晶 |
| 9 | ブラックマトリクス | 14 | オーバーコート膜 | 19 | 対向基板側突起部 |

【図 9】



- | | | | | | | | | | | | | | | | | | |
|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 14 | 15 | 16 | 17 | 18 | 19 |
| 信号線 | 共通電極 | 走線 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 |
| 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 |
| 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 |
| 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 | 共通電極 |

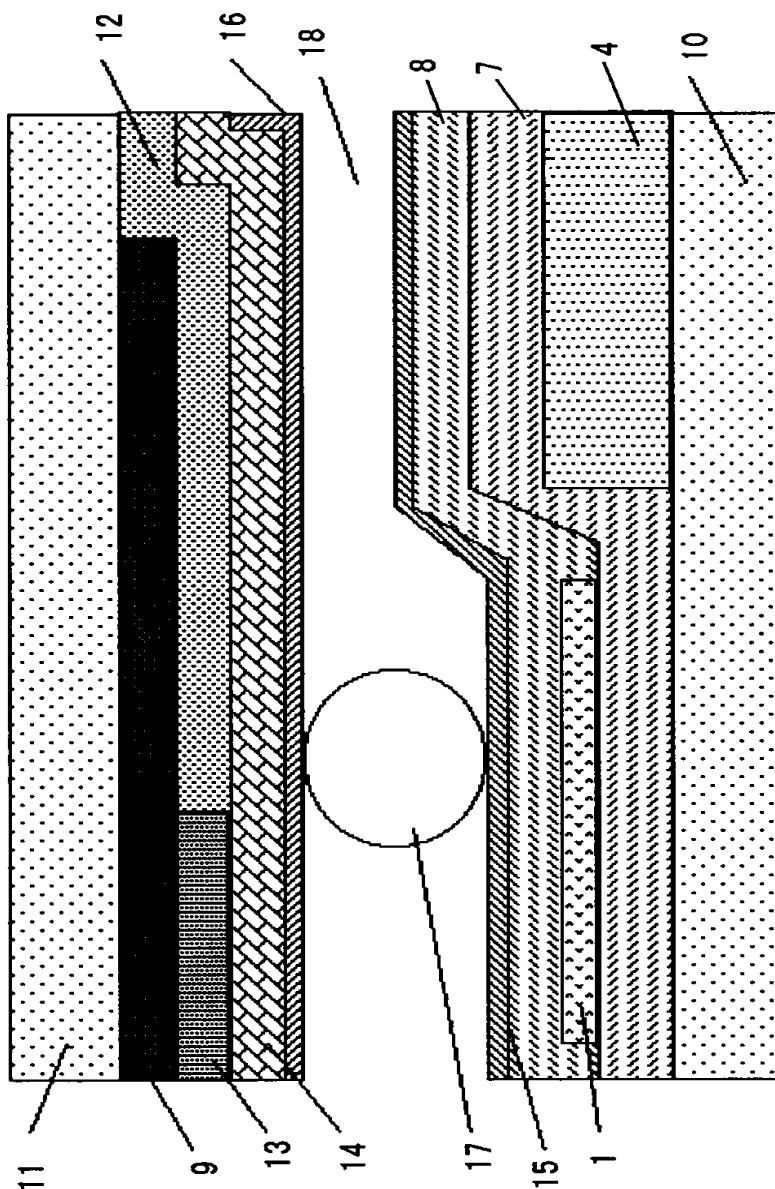
【図 10】



- 1 信号線
- 2 走査線
- 3 薄膜トランジスタ
- 4 共通電極

- 5 画素電極
- 6 TFT側突起部
- 9 ブラックマトリクス
- 17 スペース

【图 1 1】



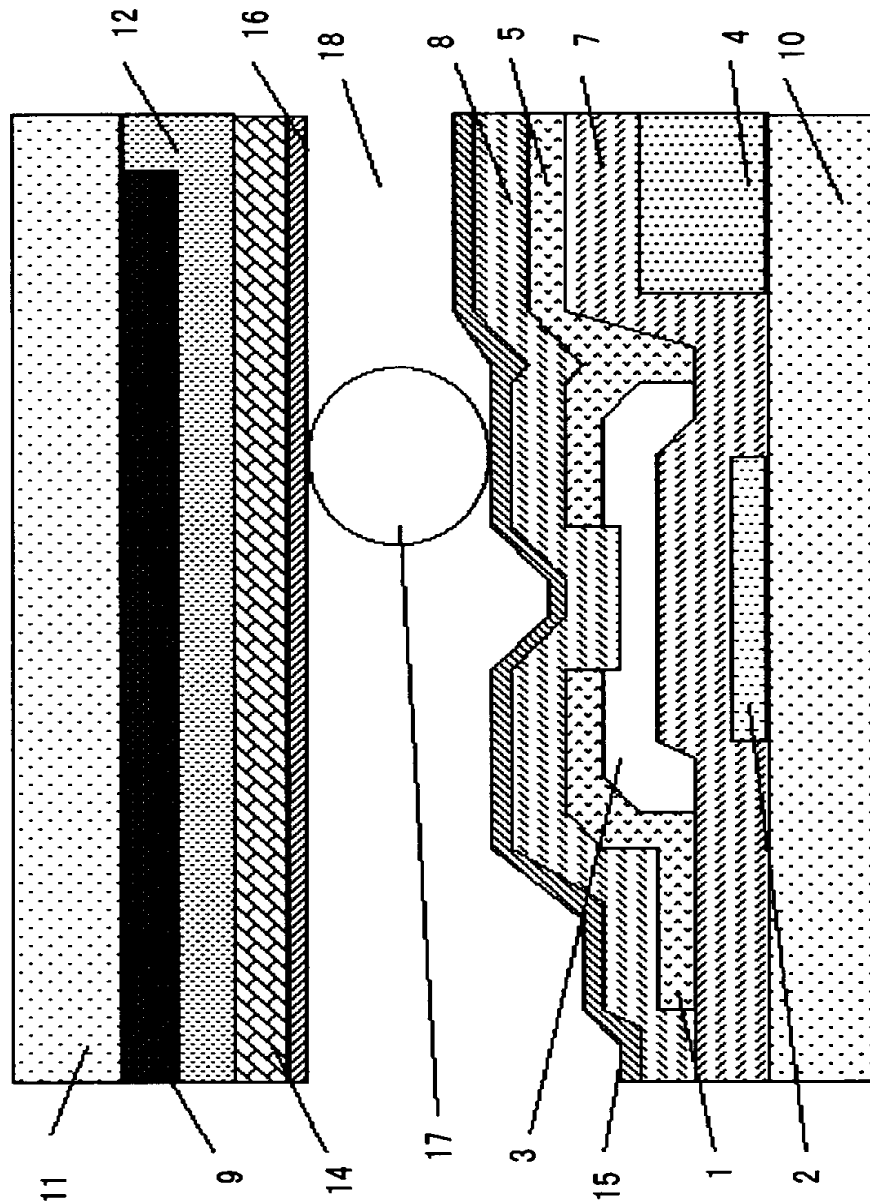
78
11
サーペンス液晶

対向側ガラス基板
第1の色層
第2の色層
才F1側配向膜
才F2側配向膜

1 2 3 4 5 6
1 1 1 1 1 1

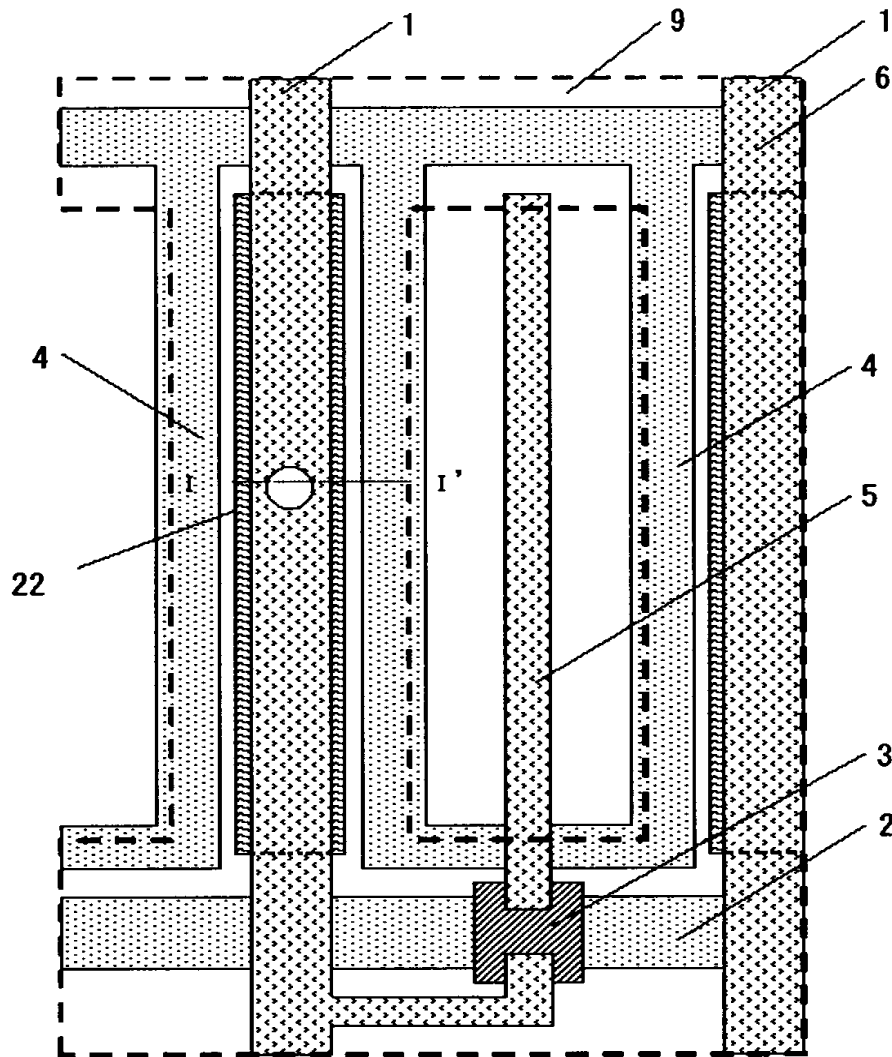
1 4 7 8 9 10

【図 12】



- | | | | | | |
|----------|---------|---------|--------|-------|-------|
| 1 | 2 | 3 | 4 | 5 | 7 |
| 信号走線 | 共通層 | 絶縁膜 | トランジスタ | 電極 | 電極 |
| 8 | 9 | 10 | 11 | 12 | 13 |
| 保護絶縁膜 | マトリクス基板 | ガラス基板 | 側ガラス層 | 第1の色層 | 第2の色層 |
| 14 | 15 | 16 | 17 | 18 | |
| オーバーコート膜 | TFT側配向膜 | TFT側配向膜 | スペーサ | 液晶 | |

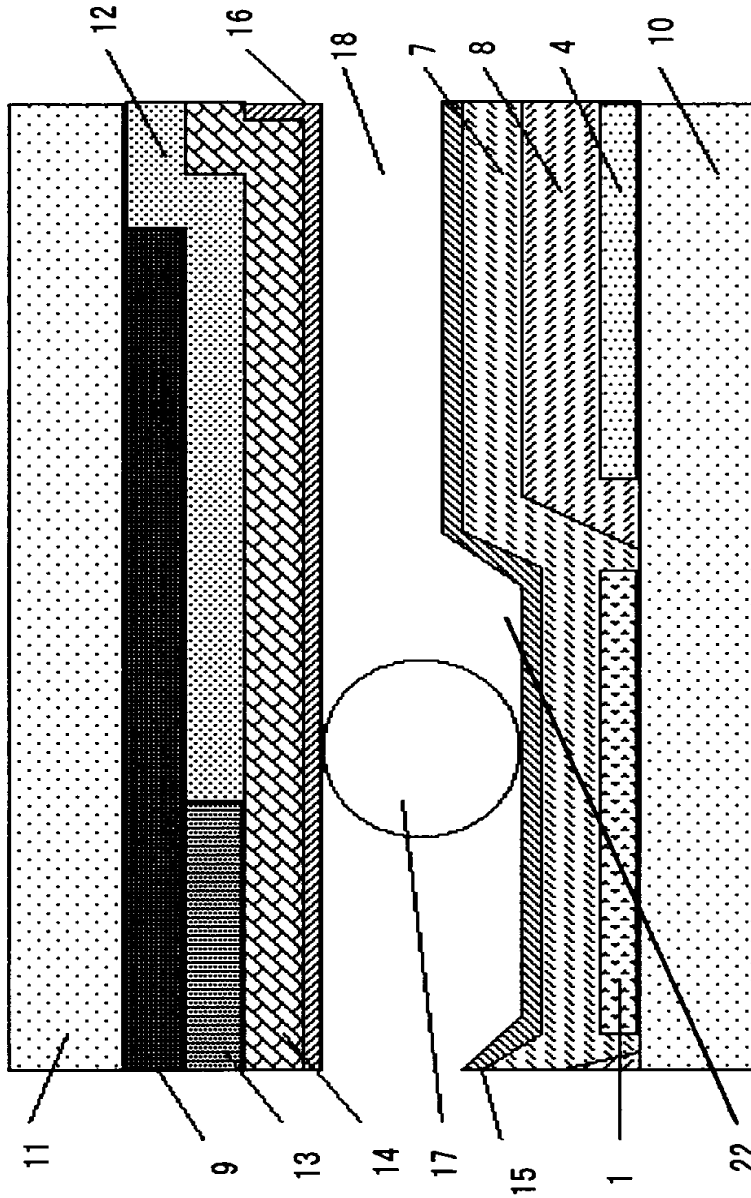
【図 13】



1 信号線
2 走査線
3 薄膜トランジスタ
4 共通電極
5 画素電極

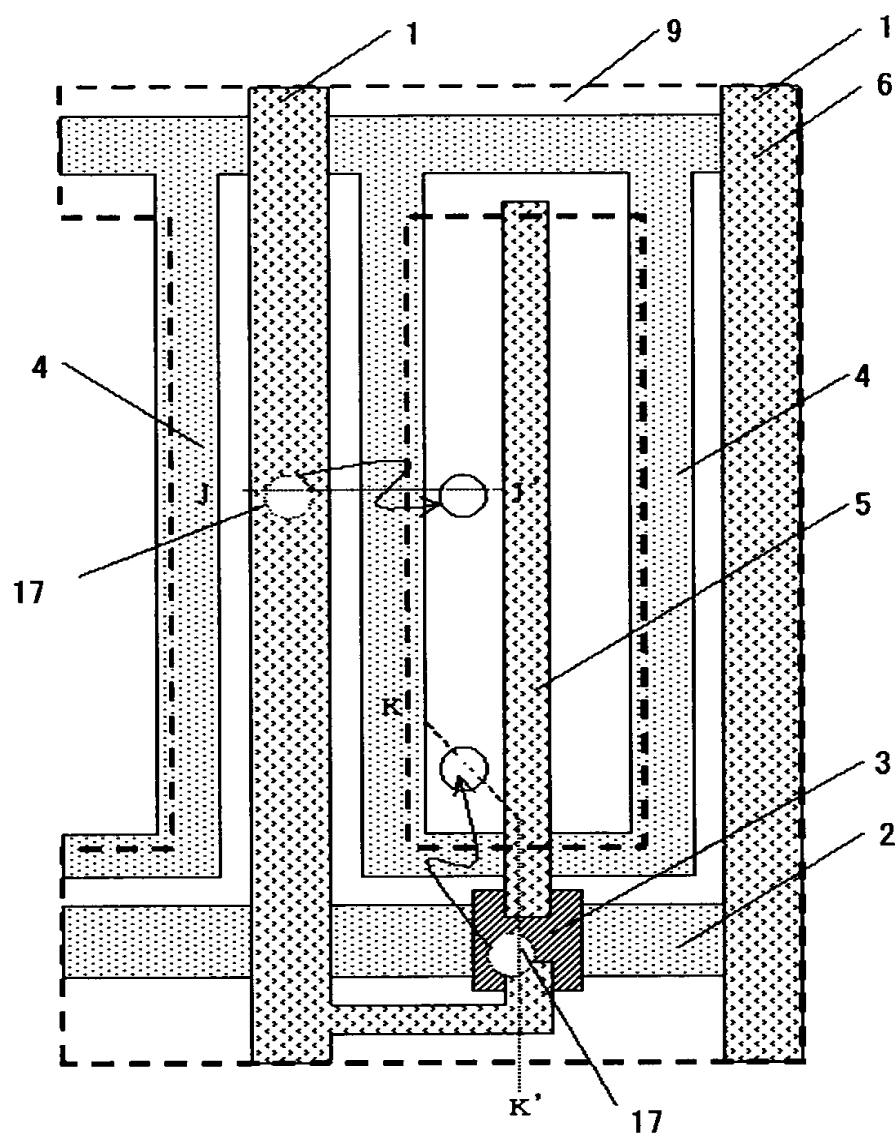
6 TFT側突起部
9 ブラックマトリクス
22 層間絶縁膜段差

【図 14】



- | | | | |
|----|-----------|----|---------|
| 1 | 信号線 | 17 | スペーサ |
| 4 | 共通電極 | 18 | 液晶層 |
| 7 | 絶縁膜 | 22 | 層間絶縁膜段差 |
| 8 | 絶縁膜 | | |
| 9 | 保護層 | | |
| 10 | TFT側ガラス基板 | | |
| 11 | 対向側ガラス基板 | | |
| 12 | 液晶層 | | |
| 13 | 第1の色層 | | |
| 14 | 第2の色層 | | |
| 15 | コーティング膜 | | |
| 16 | TFT側配向膜 | | |
| | 対向側配向膜 | | |

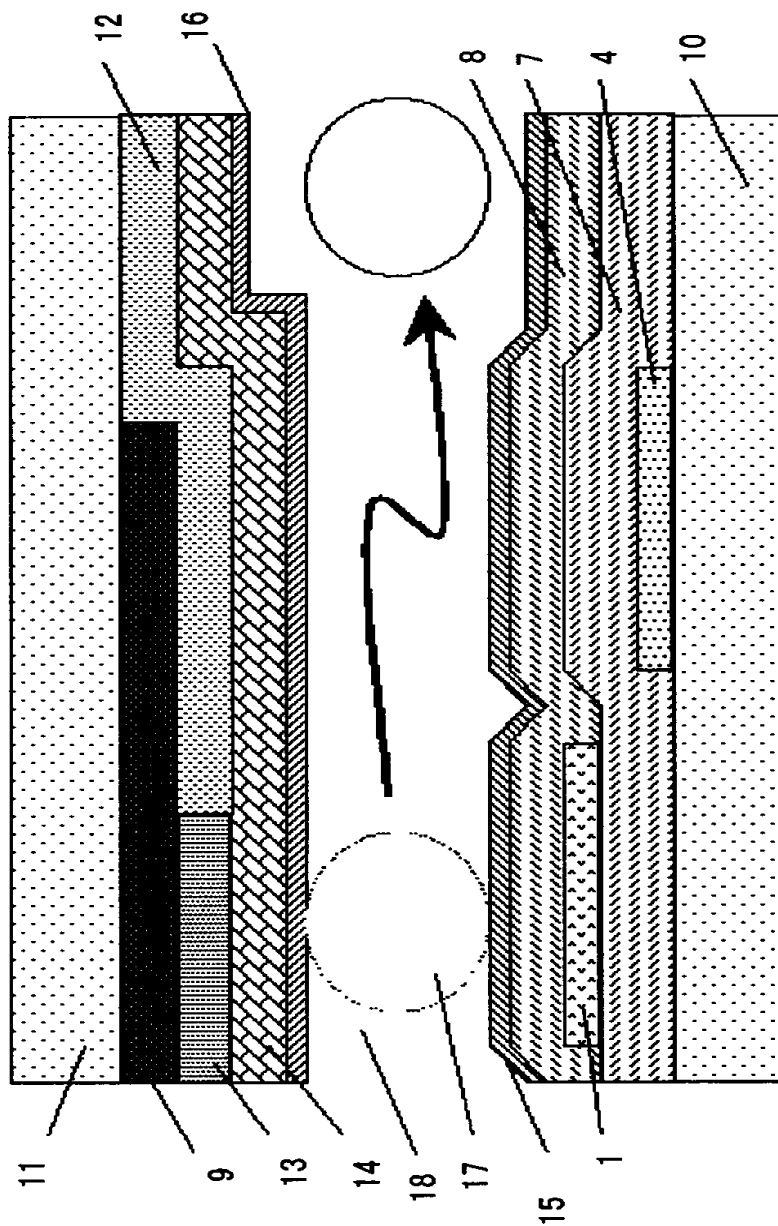
【図 15】



1 信号線
2 走査線
3 薄膜トランジスタ
4 共通電極

5 画素電極
6 TFT側突起部
9 ブラックマトリクス
17 スペース

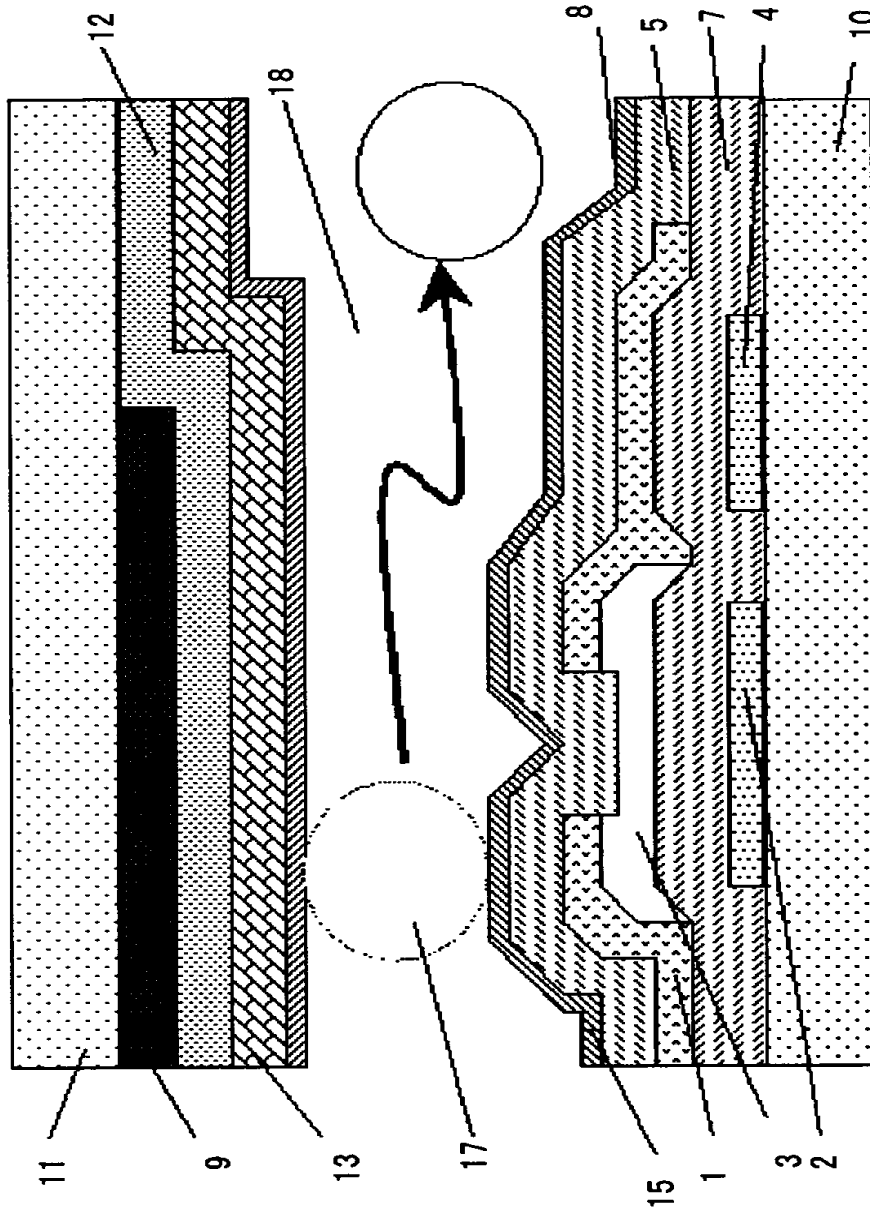
【図 16】



12 13 14 15 16 17 18

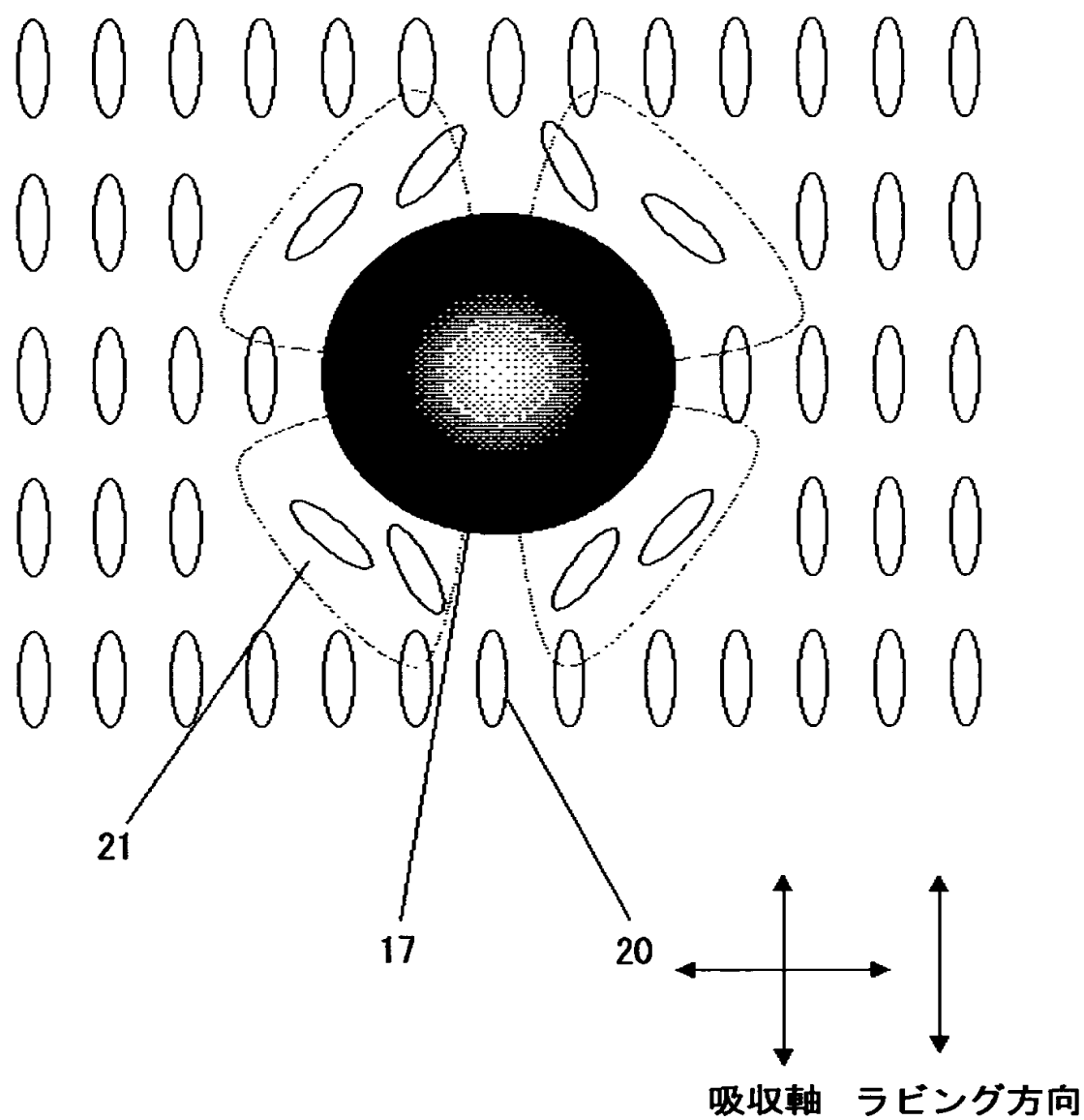
1	信号線	極	トリス基板
4	共通電線	絶縁膜	ガラス基板
7	間絶縁膜	緑膜	側ガラス基板
8	保護層	緑膜	側ガラス基板
9	ブラッ	T F T	対向側
10			
11			

【図 1 7】



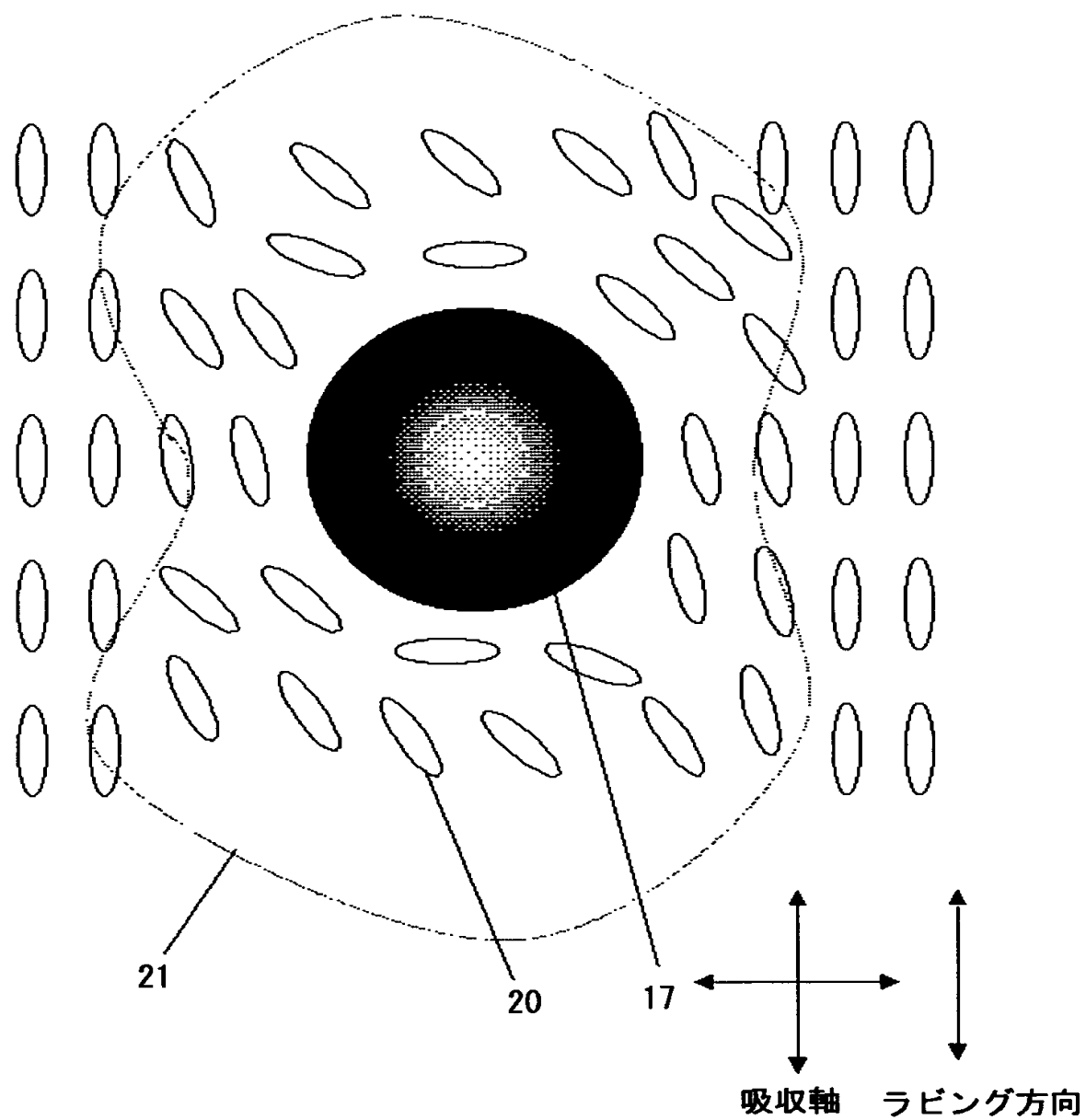
- | | | | | | | | | | | | | | |
|-----|-----|------|------|----|-------|-------|---------|--------|-------|-------|---------|---------|------|
| 1 | 2 | 3 | 4 | 5 | 7 | 8 | 9 | 10 | 11 | 12 | 15 | 17 | 18 |
| 信号線 | 走査線 | 共通電極 | ランスタ | 電極 | 層間絶縁膜 | 保護絶縁膜 | ブラックマトリ | 側向側向側向 | ガラス基板 | 第1の色層 | TFT側配向膜 | TFT側配向膜 | スペーサ |

【図 18】



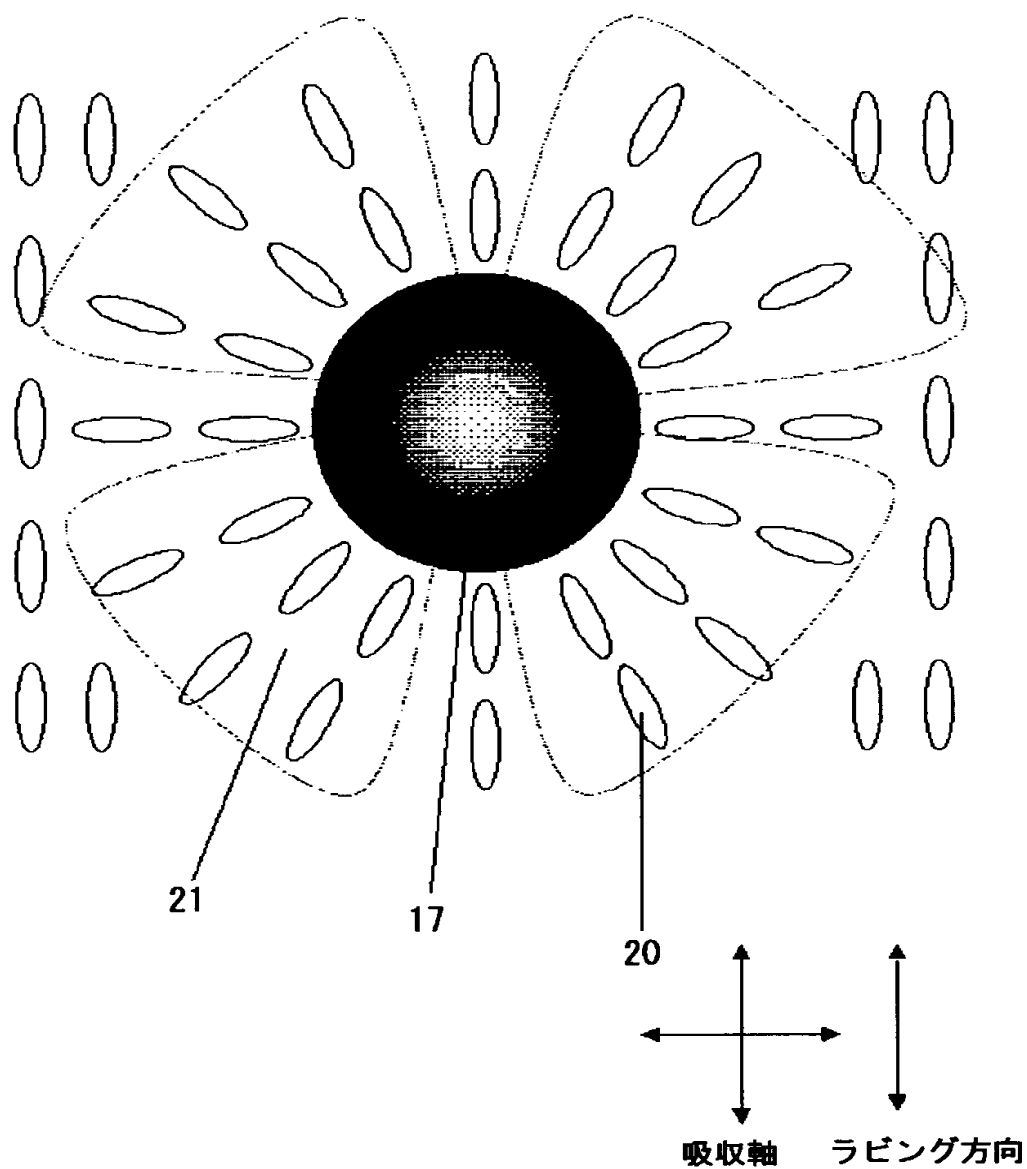
17 スペース 20 液晶分子 21 光漏れ

【図 19】



17 スペース 20 液晶分子 21 光漏れ

【図 20】



17 スペース 20 液晶分子 21 光漏れ

【書類名】 要約書

【要約】

【課題】 振動又は衝撃等によるスペーサの光透過領域への移動を阻止することで、光漏れを小さくし、表示品質を向上させるようにする。

【解決手段】 T F T 側ガラス基板 1 0 側に T F T 側突起部 6 を設けるとともに、T F T 側突起部 6 上のギャップを、信号線 1、走査線 2 又は薄膜トランジスタ 3 上のギャップより狭くするようにし、液晶パネルに圧力や衝撃が加えられても、信号線 1、走査線 2 又は薄膜トランジスタ 3 上に配置されたスペーサ 1 7 を光透過領域に移動し難くする。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社